

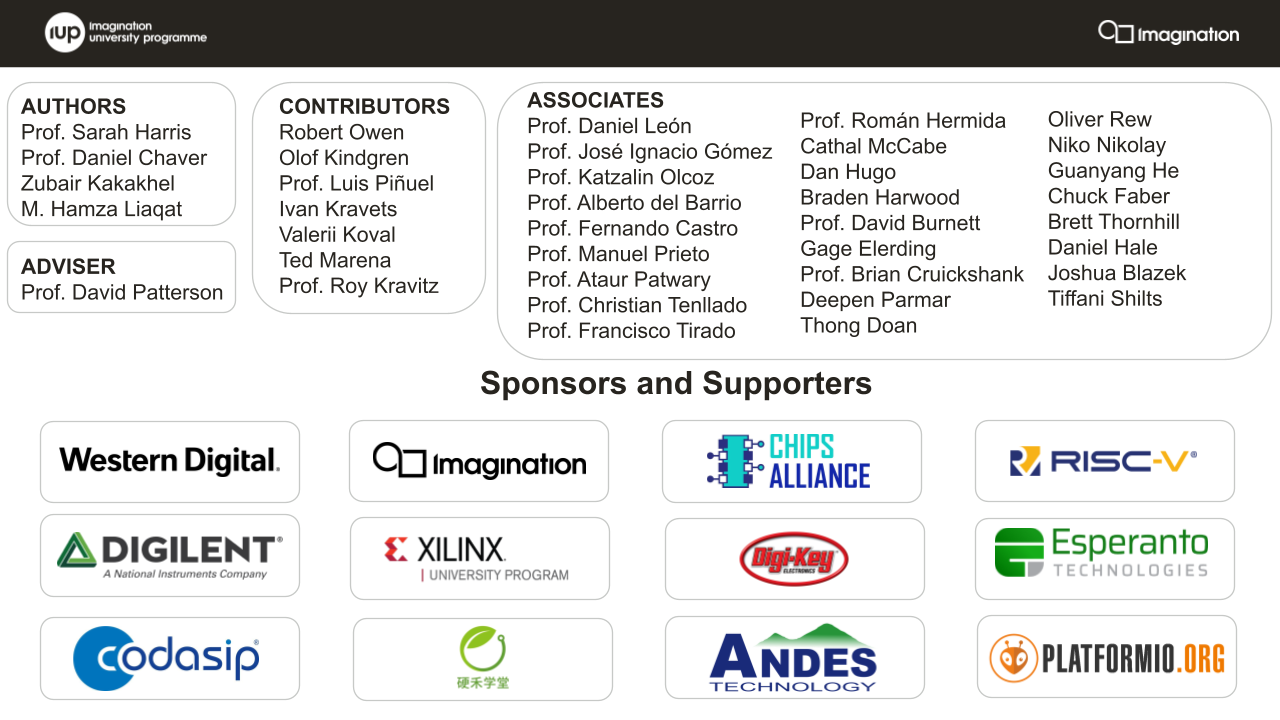
**THE IMAGINATION UNIVERSITY PROGRAMME**

**RVfpga-SoC**

**入門ガイド**

# 

# 謝辞



**著者**

* Sarah Harris教授（<https://www.linkedin.com/in/sarah-harris-12720697/>）
* Daniel Chaver教授（<https://www.linkedin.com/in/daniel-chaver-a5056a156/>）
* Zubair Kakakhel（<https://www.linkedin.com/in/zubairlk/>）
* M. Hamza Liaqat（<https://www.linkedin.com/in/muhammad-hamza-liaqat-ab73a0195/>）

**助言者**

* David Patterson教授（<https://www.linkedin.com/in/dave-patterson-408225/>）

**寄稿者**

* Robert Owen（<https://www.linkedin.com/in/robert-owen-4335931/>）
* Olof Kindgren（<https://www.linkedin.com/in/olofkindgren/>）
* Luis Piñuel教授（<https://www.linkedin.com/in/lpinuel/>）
* Ivan Kravets（<https://www.linkedin.com/in/ivankravets/>）
* Valerii Koval（<https://www.linkedin.com/in/valeros/>）
* Ted Marena（<https://www.linkedin.com/in/tedmarena/>）
* Roy Kravitz教授（<https://www.linkedin.com/in/roy-kravitz-4725963/>）

**協同者**

* José Ignacio Gómez教授（[https://www.linkedin.com/in/jos%C3%A9-ignacio-gomez-182b981/](https://www.linkedin.com/in/josé-ignacio-gomez-182b981/)）
* Christian Tenllado教授（<https://www.linkedin.com/in/christian-tenllado-31578659/>）
* Daniel León 教授（[www.linkedin.com/in/danileon-ufv](http://www.linkedin.com/in/danileon-ufv)）
* Katzalin Olcoz教授（<https://www.linkedin.com/in/katzalin-olcoz-herrero-5724b0200/>）
* Alberto del Barrio教授（[https://www.linkedin.com/in/alberto-antonio-del-barrio-garc%C3%ADa-1a85586a/](https://www.linkedin.com/in/alberto-antonio-del-barrio-garcía-1a85586a/)）
* Fernando Castro教授（<https://www.linkedin.com/in/fernando-castro-5993103a/>）
* Manuel Prieto教授（<https://www.linkedin.com/in/manuel-prieto-matias-02470b8b/>）
* Francisco Tirado教授（[https://www.linkedin.com/in/francisco-tirado-fern%C3%A1ndez-40a45570/](https://www.linkedin.com/in/francisco-tirado-fernández-40a45570/)）
* Román Hermida教授（<https://www.linkedin.com/in/roman-hermida-correa-a4175645/>）
* Cathal McCabe（<https://www.linkedin.com/in/cathalmccabe/>）
* Dan Hugo（<https://www.linkedin.com/in/danhugo/>）
* Braden Harwood（<https://www.linkedin.com/in/braden-harwood/>）
* David Burnett（<https://www.linkedin.com/in/david-burnett-3b03778/>）
* Gage Elerding（<https://www.linkedin.com/in/gage-elerding-052b16106/>）
* Brian Cruickshank（<https://www.linkedin.com/in/bcruiksh/>）
* Deepen Parmar（<https://www.linkedin.com/in/deepen-parmar/>）
* Thong Doan（<https://www.linkedin.com/in/thong-doan/>）
* Oliver Rew（<https://www.linkedin.com/in/oliver-rew/>）
* Prof. Roy Kravitz（<https://www.linkedin.com/in/roy-kravitz-4725963/>）
* Guanyang He（<https://www.linkedin.com/in/guanyang-he-5775ba109/>）
* Prof. Ataur Patwary（<https://www.linkedin.com/in/ataurpatwary/>）
* Chuck Faber[（https://www.linkedin.com/in/chuck-faber-3b502339/](https://www.linkedin.com/in/chuck-faber-3b502339/)）
* Brett Thornhill（<https://www.linkedin.com/in/brett-d-thornhill/>）
* Daniel Hale（<https://www.linkedin.com/in/daniel-lee-hale/>）
* Joshua Blazek（<https://www.linkedin.com/in/joshuablazek/>）
* Tiffani Shilts（<https://linkedin.com/in/tiffanishilts>/）

**表1：RVfpga用語**

|  |  |
| --- | --- |
| **名前** | **説明** |
| **コース** | |
| **RVfpga** | プログラムを実行、および周辺機器を追加（RVfpgaラボ1～10）してシステムを拡張、およびシミュレーションを実行、性能を測定、命令を追加、メモリシステムを変更（RVfpgaラボ11～20）してコアとメモリシステムを調べるために、RVfpgaNexysとRVfpgaSim、RISC-V system-on-chips（SoCs）を使用する方法が示されているコース。このコース全体にわたって、RISC-Vツールチェイン（コンパイラおよびデバッガ）とシミュレータ、Verilator HDLシミュレータ、Western DigitalのWhisper命令セットシミュレータ（ISS）の使用方法も、示されています。 |
| **RVfpga-SoC** | SweRVコア、メモリ、周辺機器などの構成要素を使用して、ゼロからSweRVolfX SoCのサブセットを構築する方法が示されているコース。このコースには、SweRVolfにZephyrリアルタイムオペレーティングシステム（RTOS）をロードする方法、およびオペレーティングシステムに加えてTensorflow Liteのhello world例が含まれているプログラムを実行する方法も、示されています。 |
| **コアおよびSoC** | |
| **SweRV EH1 コア** | Western Digital開発のオープンソース商用RISC-Vコア  （<https://github.com/chipsalliance/Cores-SweRV>）。 |
| **SweRV EH1 コア複合体** | 追加コアメモリ（ICCM、DCCM、命令キャッシュ）、プログラム可能割り込みコントローラ（PIC）、バスインターフェース、デバッグユニットが追加されれているSweRV EH1コア（<https://github.com/chipsalliance/Cores-SweRV>）。 |
| **SweRVolfX** | RVfpgaコースで使用するチップでのシステム。これはSweRVolfの拡張です。  **SweRVolf**（<https://github.com/chipsalliance/Cores-SweRVolf>）：SweRV EH1コア複合体周辺に構築されたオープンソースSoC。これにより、ブートROM、UARTインターフェース、システムコントローラ、インターコネクト（AXIインターコネクト、Wishboneインターコネクト、AXI-to-Wishboneブリッジ）、SPIコントローラが追加されます。  **SweRVolfX**：これにより次記の4つの新しい周辺機器がSweRVolfに追加されます：GPIO、PTC、追加のSPI、および8桁の7セグメント表示用コントローラ。 |
| **RVfpgaNexys** | Nexys A7ボードおよびその周辺機器を対象とするSweRVolfX SoC。これにより、DDR2インターフェース、CDC（クロックドメイン交差）ユニット、BSCANロジック（JTAGインターフェース用）、クロックジェネレータが追加されます。  RVfpgaNexysはSweRVolf Nexys（<https://github.com/chipsalliance/Cores-SweRVolf>）と同じですが、例外として後者はSweRVolfに基づいています。 |
| **RVfpgaSim** | シミュレーションを目的とした、テストベンチラッパおよびAXIメモリ付きSweRVolfX SoC。  RVfpgaSimはSweRVolf Sim（<https://github.com/chipsalliance/Cores-SweRVolf>）と同じですが、例外として後者はSweRVolfに基づいています。 |

# RVfpga-SoCラボの概要

RVfpga-SoCコースでは、提供されるる構成要素および視覚的ブロックベースの設計アプローチを使用してRISC-V SoCをゼロから構築する方法を、示します。構成要素には、SweRV EH 1 CPUコア、インターコネクト、ブートROM、システムコントローラ、GPIOコントローラが含まれます。ブロック設計アプローチを使用してユーザーが作成したSoCはSweRVolfXのサブセットです。後続するラボで、SoCでプログラムを実行する方法が示され、ブロック設計のSoCがFuseSoCを使用して作成されたSweRVolfと比較され、ZephyrリアルタイムオペレーティングシステムがSweRVolfで実行され、Tensorflow Lite Hello-World例がSweRVolfで実行されます。

RVfpga-SoCラボは、以下のプラットフォームを使用して構築されました。

* オペレーティングシステムUbuntu 18.04 LTS
  + ラボ1および2はWindows 10で簡単に実行できます。ラボ3、4、5では、Linux環境のみで動作する一部のパッケージが使用されます。Windows 10ユーザーは、[Linux用Windowsサブシステム](https://docs.microsoft.com/en-us/windows/wsl/install-win10)を使用するラボのシミュレーション部分を実行できます。
* ハードウェアターゲット（オプション）：Nexys A7-100Tボード（またはNexys 4 DDRボード）
* フルシステムシミュレータ：Verilator

RVfpga-SoCラボを開始する前に、RVfpga-SoCインストールガイドを完了している必要があります。このインストールガイドは、個々のラボに必要な手順に分割されています。インストールガイドの構成は以下のとおりです。

* **ラボ1用インストール：**Vivado 2019.2 Web Pack、ケーブルドライバ、Digilentボードファイルのインストール。
* **ラボ2用インストール：**Visual Studio Code（VScode）、PlatformIO、Verilatorバージョン4.106、GTKWaveのインストール。
* **ラボ3用インストール：**FuseSoCおよびOpenOCDのインストール。
* **ラボ4用インストール：**Zephyr依存性、west、CMake、PuTTY、Zephyr SDKバー  
  ジョン0.12.4のインストール。

Rvfpgコースを既に完了している場合、すでにこのソフトウェの多くはインストールされているでしょう。

ImaginationのUniversity Programmeからダウンロードした***RVfpgaSoC***フォルダをお使いのマシンにコピーしたことを、確認してください。フォルダRVfpgaSoCを配置するディレクトリの絶対パスを[*RVfpgaSoCPath*]と呼ぶことにします。**RVfpgaSoC**フォルダを次記のホームディレクトリに配置することを、お勧めします：/home/<username>/RVfpgaSoC

以下のラボが提供されます。

* **ラボ1**：RVfpga-SoC入門
* **ラボ2**：RVfpga-SoCでのソフトウェアの実行
* **ラボ3**：SweRVolfおよびFuseSoC入門
* **ラボ4**：SweRVolfでのZephyrの実行
* **ラボ5**：SweRVolfでのTensorflow Liteの実行

これらのラボにより、SoCをコアおよび構成要素（ラボ1）から作成する方法、FPGAをそれのターゲットにして新しく作成したSoC（ラボ2）でプログラムを実行する方法、SweRV EH1用にFuseSoC-based SoC（SweRVolf）を使用する方法（ラボ3）、リアルタイムオペレーティングシステム（RTOS）をSweRVolfに追加する方法（ラボ4）、Tensorflow LiteのHello World例をSweRVolfで実行する方法（ラボ5）が、示されます。

RVfpgaSoC/Labs/フォルダの構成は以下のとおりです。

* **LabInstructions：**各ラボへの命令。
* **LabProjects：**プロジェクトを作成するフォルダ。
  + Lab1：ラボ1 Vivadoプロジェクトのディレクトリ。
  + SweRVolf：ラボ3、4、5のディレクトリ。
* **LabResources：**ラボを完了するときに使用するリソース。
* **LabSolutions：**ラボのソリューション。

**講師は、RVfpgaSoCを受講者に配布する前に、このフォルダを削除します**。