





THE IMAGINATION UNIVERSITY PROGRAMME

RVfpga-SoC

시작 안내서

Acknowledgments

 **Imagination**
university programme

 **Imagination**

AUTHORS
Prof. Sarah Harris
Prof. Daniel Chaver
Zubair Kakakhel
M. Hamza Liaqat

CONTRIBUTORS
Robert Owen
Olof Kindgren
Prof. Luis Piñuel
Ivan Kravets
Valerii Koval
Ted Marena
Prof. Roy Kravitz

ASSOCIATES
Prof. Daniel León
Prof. José Ignacio Gómez
Prof. Katzalin Olcoz
Prof. Alberto del Barrio
Prof. Fernando Castro
Prof. Manuel Prieto
Prof. Ataur Patwary
Prof. Christian Tenllado
Prof. Francisco Tirado

Prof. Román Hermida
Cathal McCabe
Dan Hugo
Braden Harwood
Prof. David Burnett
Gage Elerding
Prof. Brian Cruickshank
Deepen Parmar
Thong Doan

Oliver Rew
Niko Nikolay
Guanyang He
Chuck Faber
Brett Thornhill
Daniel Hale
Joshua Blazek
Tiffani Shilts

ADVISER
Prof. David Patterson

Sponsors and Supporters



AUTHORS

- Prof. Sarah Harris (<https://www.linkedin.com/in/sarah-harris-12720697/>)
- Prof. Daniel Chaver (<https://www.linkedin.com/in/daniel-chaver-a5056a156/>)
- Zubair Kakakhel (<https://www.linkedin.com/in/zubairlk/>)
- M. Hamza Liaqat (<https://www.linkedin.com/in/muhammad-hamza-liaqat-ab73a0195/>)

ADVISER

- Prof. David Patterson (<https://www.linkedin.com/in/dave-patterson-408225/>)

CONTRIBUTORS

- Robert Owen (<https://www.linkedin.com/in/robert-owen-4335931/>)
- Olof Kindgren (<https://www.linkedin.com/in/olofkindgren/>)
- Prof. Luis Piñuel (<https://www.linkedin.com/in/lpinuel/>)
- Ivan Kravets (<https://www.linkedin.com/in/ivankravets/>)
- Valerii Koval (<https://www.linkedin.com/in/valeros/>)
- Ted Marena (<https://www.linkedin.com/in/tedmarena/>)
- Prof. Roy Kravitz (<https://www.linkedin.com/in/roy-kravitz-4725963/>)

ASSOCIATES

- Prof. José Ignacio Gómez (<https://www.linkedin.com/in/jos%C3%A9-ignacio-gomez-182b981/>)
- Prof. Christian Tenllado (<https://www.linkedin.com/in/christian-tenllado-31578659/>)
- Prof. Daniel León (<https://www.linkedin.com/in/danileon-ufv/>)
- Prof. Katzalin Olcoz (<https://www.linkedin.com/in/katzalin-olcoz-herrero-5724b0200/>)
- Prof. Alberto del Barrio (<https://www.linkedin.com/in/alberto-antonio-del-barrio-garc%C3%ADa-1a85586a/>)
- Prof. Fernando Castro (<https://www.linkedin.com/in/fernando-castro-5993103a/>)
- Prof. Manuel Prieto (<https://www.linkedin.com/in/manuel-prieto-matias-02470b8b/>)
- Prof. Francisco Tirado (<https://www.linkedin.com/in/francisco-tirado-fern%C3%A1ndez-40a45570/>)
- Prof. Román Hermida (<https://www.linkedin.com/in/roman-hermida-correa-a4175645/>)
- Cathal McCabe (<https://www.linkedin.com/in/cathalmccabe/>)
- Dan Hugo (<https://www.linkedin.com/in/danhugo/>)
- Braden Harwood (<https://www.linkedin.com/in/braden-harwood/>)
- David Burnett (<https://www.linkedin.com/in/david-burnett-3b03778/>)
- Gage Elerding (<https://www.linkedin.com/in/gage-elerding-052b16106/>)
- Brian Cruickshank (<https://www.linkedin.com/in/bcruiksh/>)
- Deepen Parmar (<https://www.linkedin.com/in/deepen-parmar/>)
- Thong Doan (<https://www.linkedin.com/in/thong-doan/>)
- Oliver Rew (<https://www.linkedin.com/in/oliver-rew/>)
- Niko Nikolay (<https://www.linkedin.com/in/roy-kravitz-4725963/>)
- Guanyang He (<https://www.linkedin.com/in/guanyang-he-5775ba109/>)
- Prof. Ataur Patwary (<https://www.linkedin.com/in/ataurpatwary/>)
- Chuck Faber (<https://www.linkedin.com/in/chuck-faber-3b502339/>)
- Brett Thornhill (<https://www.linkedin.com/in/brett-d-thornhill/>)

- Daniel Hale (<https://www.linkedin.com/in/daniel-lee-hale/>)
- Joshua Blazek (<https://www.linkedin.com/in/joshuablazek/>)
- Tiffani Shilts (<https://linkedin.com/in/tiffanishilts/>)

Table 1. RVfpga Terms

Name		Description
Courses		
RVfpga		RVfpgaNexys 및 RVfpgaSim, RISC-V SoC(System-on-Chip)를 사용하여 프로그램을 실행하고 주변 장치를 추가하여 시스템을 확장하고(RVfpga Labs 1-10), 시뮬레이션, 성능 측정, 명령 추가 및 메모리 시스템 수정을 실행하여 코어 및 메모리 시스템을 탐색하는 방법(RVfpga Labs 11-20)을 보여주는 과정입니다. 과정 전반에 걸쳐 사용자는 RISC-V 톨 체인(컴파일러 및 디버거) 및 시뮬레이터, Verilator HDL 시뮬레이터 및 Western Digital 의 Whisper 명령어 세트 시뮬레이터(ISS)를 사용하는 방법도 보여줍니다.
RVfpga-SoC		SweRV 코어, 메모리 및 주변 장치와 같은 빌딩 블록을 사용하여 처음부터 SweRVolfX SoC 의 하위 집합을 구축하는 방법을 보여주는 과정입니다. 또한 이 과정은 Zephyr 실시간 운영 체제(RTOS)를 SweRVolf 에 로드하고, 운영 체제 상단에서 Tensorflow Lite 의 hello world 예제를 포함한 프로그램을 실행하는 방법을 보여줍니다.
Cores and SoCs		
SweRV EH1 Core		Western Digital 에서 개발한 오픈 소스 상용 RISC-V 코어 (https://github.com/chipsalliance/Cores-SweRV).
SweRV EH1 Core Complex		추가된 메모리(ICCM, DCCM 및 명령 캐시), 프로그래밍 가능한 인터럽트 컨트롤러(PIC), 버스 인터페이스 및 디버그 장치가 있는 SweRV EH1 코어 (https://github.com/chipsalliance/Cores-SweRV).
SweRVolfX		RVfpga 과정에서 사용하는 System on Chip 으로 SweRVolf 의 확장입니다. SweRVolf (https://github.com/chipsalliance/Cores-SweRVolf): SweRV EH1 Core Complex 를 기반으로 구축된 오픈 소스 SoC 입니다. boot ROM, UART 인터페이스, 시스템 컨트롤러, 상호 연결(AXI Interconnect, Wishbone Interconnect 및 AXI-to-Wishbone 브리지) 및 SPI 컨트롤러를 추가합니다. SweRVolfX : SweRVolf 에 GPIO, PTC, 추가 SPI 및 8 자리 7-세그먼트 디스플레이 컨트롤러, 4 가지 새로운 주변 장치를 추가합니다.
RVfpgaNexys		Nexys A7 보드 및 주변 장치를 대상으로 하는 SweRVolfX SoC 입니다. DDR2 인터페이스, CDC(클럭 도메인 교차) 장치, BSCAN 로직(JTAG 인터페이스용) 및 클럭 생성기를 추가합니다. RVfpgaNexys 는 SweRVolf Nexys(https://github.com/chipsalliance/Cores-SweRVolf)와 동일하지만 SweRVolf Nexy 는 SweRVolf 를 기반으로 합니다.
RVfpgaSim		시뮬레이션을 위한 테스트 벤치 래퍼(wrapper) 및 AXI 메모리가 있는 SweRVolfX SoC 입니다. RVfpgaSim 은 SweRVolf Sim(https://github.com/chipsalliance/Cores-SweRVolf)과 동일하지만 SweRVolf Sim 은 SweRVolf 를 기반으로 합니다.

RVfpga-SoC Labs 개요

이 RVfpga-SoC 과정은 제공된 빌딩 블록과 시각적 블록 기반 설계 접근 방식을 사용하여 처음부터 RISC-V SoC 를 구축하는 방법을 보여줍니다. 빌딩 블록에는 SweRV EH 1 CPU 코어, 상호 연결, Boot-ROM, 시스템 컨트롤러 및 GPIO 컨트롤러가 포함됩니다. 사용자가 블록 설계 방식을 사용하여 만든 SoC 는 SweRVolfX 의 하위 집합입니다.

후속 실습에서는 SoC 에서 프로그램을 실행하고, 블록 디자인 SoC 를 FuseSoC 를 사용하여 만든 SweRVolf 와 비교하고, SweRVolf 에서 Zephyr 실시간 운영 체제를 실행한 다음, SweRVolf 에서 Tensorflow Lite Hello-World 예제를 실행하는 방법을 보여줍니다.

RVfpga-SoC Labs 는 다음 플랫폼으로 구축되었습니다.

- 운영 체제: Ubuntu 18.04 LTS
 - Labs 1, 2 는 Windows 10 에서 쉽게 실행할 수 있습니다. Labs 3, 4, 5 는 Linux 환경에서만 실행되는 일부 패키지를 사용합니다. Windows 10 사용자는 Linux 용 Windows 하위 시스템을 사용하여 Labs 의 시뮬레이션 부분을 실행할 수 있습니다.
- 하드웨어 대상(옵션): Nexys A7-100T 보드(또는 Nexys 4 DDR 보드)
- 전체 시스템 시뮬레이터: Verilator

RVfpga-SoC Labs 을 시작하기 전에 RVfpga-SoC 설치 가이드를 미리 학습해야 합니다. 설치 가이드는 각 Labs 에 필요한 지침으로 나누어져 있습니다. 설치 가이드의 구성은 다음과 같습니다.

- **Labs 1 을 위한 설치:** Vivado 2019.2 웹 팩, 케이블 드라이버 및 Digilent 보드 파일 설치.
- **Labs 2 용 설치:** Visual Studio Code (VScode), PlatformIO, Verilator 버전 4.106 및 GTKWave 설치.
- **Labs 3 을 위한 설치:** FuseSoC 및 OpenOCD 설치.
- **Labs 4 용 설치:** Zephyr 관련되는 west, CMake, PuTTY 및 Zephyr SDK 버전 0.12.4 설치.

RVfpga 과정을 이미 공부했다면 이 소프트웨어의 대부분이 설치되어 있을 것입니다.

Imagination 의 대학 프로그램에서(IUP) 다운로드한 **RVfpgaSoC** 폴더를 컴퓨터에 복사했는지 확인합니다. RVfpgaSoC 폴더를 배치하는 디렉토리의 절대 경로를 **[RVfpgaSoCPath]**라고 합니다. RVfpgaSoC 폴더를 홈 디렉토리에 두는 것이 좋습니다. i.e: /home/<username>/RVfpgaSoC

다음 실습인 Labs 는 이렇게 진행됩니다..

- Lab 1: RVfpga-SoC 소개
- Lab 2: RVfpga-SoC 에서 소프트웨어 실행
- Lab 3: SweRVolf 및 FuseSoC 소개
- Lab 4: SweRVolf 에서 Zephyr 실행
- Lab 5: SweRVolf 에서 Tensorflow Lite 실행

상기 Labs 에서는 코어 및 기타 빌딩 블록에서 SoC 를 생성하는 방법(Lab 1), FPGA 를 대상으로 하는 방법 및 새로 생성된 SoC 에서 프로그램을 실행하는 방법(Lab 2), SweRV EH1 에서 FuseSoC 기반 SoC(SweRVolf)를 사용하는 방법(Lab 3), SweRVolf 에 실시간 운영 체제(RTOS)를 추가하는 방법(Lab 4), SweRVolf 에서 Tensorflow Lite 의 Hello World 예제를 실행하는 방법을 (Lab 5) 보여 줍니다.

RVfpgaSoC/Labs/ 폴더의 구성은 다음과 같습니다.

- LabInstructions: 각 Labs 에 대한 지침입니다.
 - LabProjects: 프로젝트를 생성할 폴더입니다.
 - Lab1: Lab 1 Vivado 프로젝트용 디렉토리.
 - SweRVolf: 실습 3, 4 및 5 용 디렉토리
 - LabResources: Labs 를 완료하는 동안 사용할 리소스입니다.
 - LabSolutions: Labs 솔루션.
- 강사는 RVfpgaSoC 를 학생에게 배포하기 전에 이 폴더를 제거하기 바랍니다.**