





**PROGRAMA UNIVERSITARIO DE IMAGINATION**

# **Práctica 0 RVfpga**

## **Resumen de las prácticas de RVfpga**

## Agradecimientos





**AUTHORS**  
Prof. Sarah Harris  
Prof. Daniel Chaver  
Zubair Kakakhel  
M. Hamza Liaqat

**ADVISER**  
Prof. David Patterson

**CONTRIBUTORS**  
Robert Owen  
Olof Kindgren  
Prof. Luis Piñuel  
Ivan Kravets  
Valerii Koval  
Ted Marena  
Prof. Roy Kravitz

**ASSOCIATES**  
Prof. José Ignacio Gómez  
Prof. Christian Tenllado  
Prof. Daniel León  
Prof. Katzalin Olcoz  
Prof. Alberto del Barrio  
Prof. Fernando Castro  
Prof. Manuel Prieto

Prof. Francisco Tirado  
Prof. Román Hermida  
Prof. Ataur Patwary  
Cathal McCabe  
Dan Hugo  
Braden Harwood  
Prof. David Burnett

Gage Elerding  
Prof. Brian Cruickshank  
Deepen Parmar  
Thong Doan  
Oliver Rew  
Niko Nikolay  
Guanyang He

## Sponsors and Supporters



### AUTORES

- Prof. Sarah Harris (<https://www.linkedin.com/in/sarah-harris-12720697/>)
- Prof. Daniel Chaver (<https://www.linkedin.com/in/daniel-chaver-a5056a156/>)
- Zubair Kakakhel (<https://www.linkedin.com/in/zubairlk/>)
- M. Hamza Liaqat (<https://www.linkedin.com/in/muhammad-hamza-liaqat-ab73a0195/>)

### ASESOR

- Prof. David Patterson (<https://www.linkedin.com/in/dave-patterson-408225/>)

### COLABORADORES

- Robert Owen (<https://www.linkedin.com/in/robert-owen-4335931/>)
- Olof Kindgren (<https://www.linkedin.com/in/olofkindgren/>)
- Prof. Luis Piñuel (<https://www.linkedin.com/in/lpinuel/>)
- Ivan Kravets (<https://www.linkedin.com/in/ivankravets/>)
- Valerii Koval (<https://www.linkedin.com/in/valeros/>)
- Ted Marena (<https://www.linkedin.com/in/tedmarena/>)
- Prof. Roy Kravitz (<https://www.linkedin.com/in/roy-kravitz-4725963/>)

### ADJUNTOS

- Prof. José Ignacio Gómez (<https://www.linkedin.com/in/jos%C3%A9-ignacio-gomez-182b981/>)
- Prof. Christian Tenllado (<https://www.linkedin.com/in/christian-tenllado-31578659/>)
- Prof. Daniel León (<https://www.linkedin.com/in/danileon-ufv/>)
- Prof. Katzalin Olcoz (<https://www.linkedin.com/in/katzalin-olcoz-herrero-5724b0200/>)
- Prof. Alberto del Barrio (<https://www.linkedin.com/in/alberto-antonio-del-barrio-garc%C3%ADa-1a85586a/>)
- Prof. Fernando Castro (<https://www.linkedin.com/in/fernando-castro-5993103a/>)
- Prof. Manuel Prieto (<https://www.linkedin.com/in/manuel-prieto-matias-02470b8b/>)
- Prof. Francisco Tirado (<https://www.linkedin.com/in/francisco-tirado-fern%C3%A1ndez-40a45570/>)
- Prof. Román Hermida (<https://www.linkedin.com/in/roman-hermida-correa-a4175645/>)
- Cathal McCabe (<https://www.linkedin.com/in/cathalmccabe/>)
- Dan Hugo (<https://www.linkedin.com/in/danhugo/>)
- Braden Harwood (<https://www.linkedin.com/in/braden-harwood/>)
- David Burnett (<https://www.linkedin.com/in/david-burnett-3b03778/>)
- Gage Elerding (<https://www.linkedin.com/in/gage-elerding-052b16106/>)
- Brian Cruickshank (<https://www.linkedin.com/in/bcruiksh/>)
- Deepen Parmar (<https://www.linkedin.com/in/deepen-parmar/>)
- Thong Doan (<https://www.linkedin.com/in/thong-doan/>)
- Oliver Rew (<https://www.linkedin.com/in/oliver-rew/>)
- Niko Nikolay (<https://www.linkedin.com/in/roy-kravitz-4725963/>)
- Guanyang He (<https://www.linkedin.com/in/guanyang-he-5775ba109/>)
- Prof. Ataur Patwary (<https://www.linkedin.com/in/ataurpatwary/>)

---

### **Versiones de RVfpga:**

- Versión 1.0 (Publicada en noviembre de 2020):
  - o Versión original de RVfpga.
- Versión 1.1 (Publicada en junio de 2021):
  - o Añadida descripción de las prácticas 11-20 en el Lab 00.
  - o SweRVolf actualizado a la versión 0.7.3.
  - o Verilator actualizado a la versión 4.106.
  - o Añadido un programa de inicialización en la Boot ROM.
  - o Nueva figura y tabla en la página 5 de la GSG para describir el Sistema RVfpga
  - o Añadido un ejercicio de UART en el Lab 10.
  - o Revisión de erratas.

---

### **Autoría de la traducción:**

- Traducción al español llevada a cabo por Roberto Rodríguez Rodríguez (<https://eie.ucr.ac.cr/profesores/roberto.rodriguez/>).
  - Revisión de la versión traducida realizada por Fernando Castro y Daniel Chaver.
- 



## Resumen de las prácticas de RVfpga

Las prácticas de RVfpga proporcionan una comprensión práctica tanto del hardware como del software de RISC-V. Con anterioridad a la realización de estas prácticas, el usuario debería de haber finalizado los pasos descritos en la Guía de inicio de RVfpga proporcionada por el Programa Universitario de Imagination (<https://university.imgtec.com/>). De este modo, y conforme a las instrucciones establecidas en la mencionada guía, debería tener instalado el programa Vivado de la compañía Xilinx así como los programas PlatformIO y Verilator. Además, asegúrese de haber copiado en su máquina la carpeta *RVfpga* que ha descargado del Programa Universitario de Imagination. Se hará referencia a la ruta absoluta del directorio donde copie la carpeta RVfpga como *[RVfpgaPath]*. La carpeta RVfpga/src contiene las fuentes Verilog y SystemVerilog para el Sistema RVfpga, el SoC RISC-V que se utilizará y modificará a lo largo de estas prácticas. La carpeta RVfpga/Labs contiene los recursos que se usarán durante las prácticas 1 a 10. El resto de prácticas, de la 11 a la 20, estarán disponibles a finales del año 2021. En particular, se realizarán las siguientes prácticas:

- Práctica 0: Visión general de las prácticas de RVfpga
- Práctica 1: Creación de un proyecto de Vivado
- Práctica 2: Programación en C
- Práctica 3: Lenguaje ensamblador de RISC-V
- Práctica 4: Llamadas a funciones
- Práctica 5: Procesamiento de imágenes: C y ensamblador
- Práctica 6: Introducción a la entrada/salida
- Práctica 7: *Displays* de 7 segmentos
- Práctica 8: Temporizadores
- Práctica 9: E/S manejada por interrupción
- Práctica 10: Buses Serie

Estas prácticas muestran cómo visualizar el código fuente de SweRVolfX y volcarlo a una FPGA (Práctica 1), cómo ejecutar programas en RVfpgaNexys, RVfpgaSim y Whisper (Prácticas 2-5), y cómo modificar el Sistema RVfpga para añadir periféricos (Prácticas 6-10). Consulte en la Tabla 1 de la Guía de inicio de RVfpga el software y el hardware necesarios para realizar estas prácticas.

Si el usuario no dispone de acceso a una placa FPGA Nexys A7 (o a la placa Nexys 4 DDR), puede realizar estas prácticas usando Whisper (el simulador de repertorio de instrucciones de Western Digital) y Verilator (un simulador HDL de código abierto).

La organización de la carpeta RVfpga/Labs/ es la siguiente:

- **LabInstructions:** Guiones para la realización de cada una de las prácticas, así como ejercicios relacionados.
  - **Figures:** Figuras usadas en los guiones de las prácticas.
- **Lab1, Lab2,...:** Recursos a utilizar en la realización de las prácticas.
- **RVfpgaLabsSolutions:** Soluciones de los ejercicios asociados a cada una de las prácticas. **Los profesores deben eliminar esta carpeta antes de proceder a la distribución de RVfpga a los estudiantes.**
  - **Programs\_Solutions:** soluciones software de los ejercicios de las prácticas.
  - **RVfpga\_Solutions:** Código fuente del Sistema RVfpga modificado (Verilog y SystemVerilog), ampliado según lo indicado en los ejercicios de las prácticas (Prácticas 6-10). El código fuente se encuentra en la carpeta *[RVfpgaPath]/RVfpga/Labs/RVfpgaLabsSolutions/RVfpga\_Solutions/src*,

donde también se proporciona el *bitstream* (rvfpganexys.bit). El documento [RVfpgaPath]/RVfpga/Labs/RVfpgaLabsSolutions/RVfpga\_Solutions/RVfpga\_Modifications.docx describe las modificaciones realizadas al Sistema RVfpga en los ejercicios de las prácticas 6-10.

A finales del 2021, se publicará la versión 2.0 de RVfpga, que incluirá 10 nuevas prácticas (prácticas 11 a 20). Estas nuevas prácticas se centrarán en el análisis de la microarquitectura y la jerarquía de memoria del Sistema RVfpga. A continuación se resume el contenido de estas 10 nuevas prácticas.

- Práctica 11. Configuración y organización de SweRV EH1. Contadores de Rendimiento.
- Práctica 12. Instrucciones Aritmético-Lógicas: la instrucción add.
- Práctica 13. Instrucciones de Memoria: las instrucciones lw y sw.
- Práctica 14. Riesgos Estructurales.
- Práctica 15. Riesgos de Datos.
- Práctica 16. Riesgos de Control. Instrucciones de Salto: la instrucción beq. El Predictor de Saltos.
- Práctica 17. Ejecución Superescalar.
- Práctica 18. Añadiendo nuevas funcionalidades al core (Instrucciones, Contadores de Rendimiento).
- Práctica 19. La Cache de Instrucciones.
- Práctica 20. La ICCM y DCCM (Instruction y Data Closely-Coupled Memories).

Las prácticas 1 a 20 son adecuadas para un curso de grado de entre 2 y 4 semestres. Las prácticas 11 a 20 también pueden ser utilizadas en cursos de máster. Antes de realizar el curso RVfpga, los estudiantes deberían tener conocimientos relativos al diseño lógico, arquitectura de computadores, diseño del procesador, sistema de entrada/salida y programación en C/ensamblador. Este material se cubre en el libro de texto *Digital Design & Computer Architecture: RISC-V Edition*, Harris & Harris, © Elsevier (publicación prevista: septiembre de 2021).