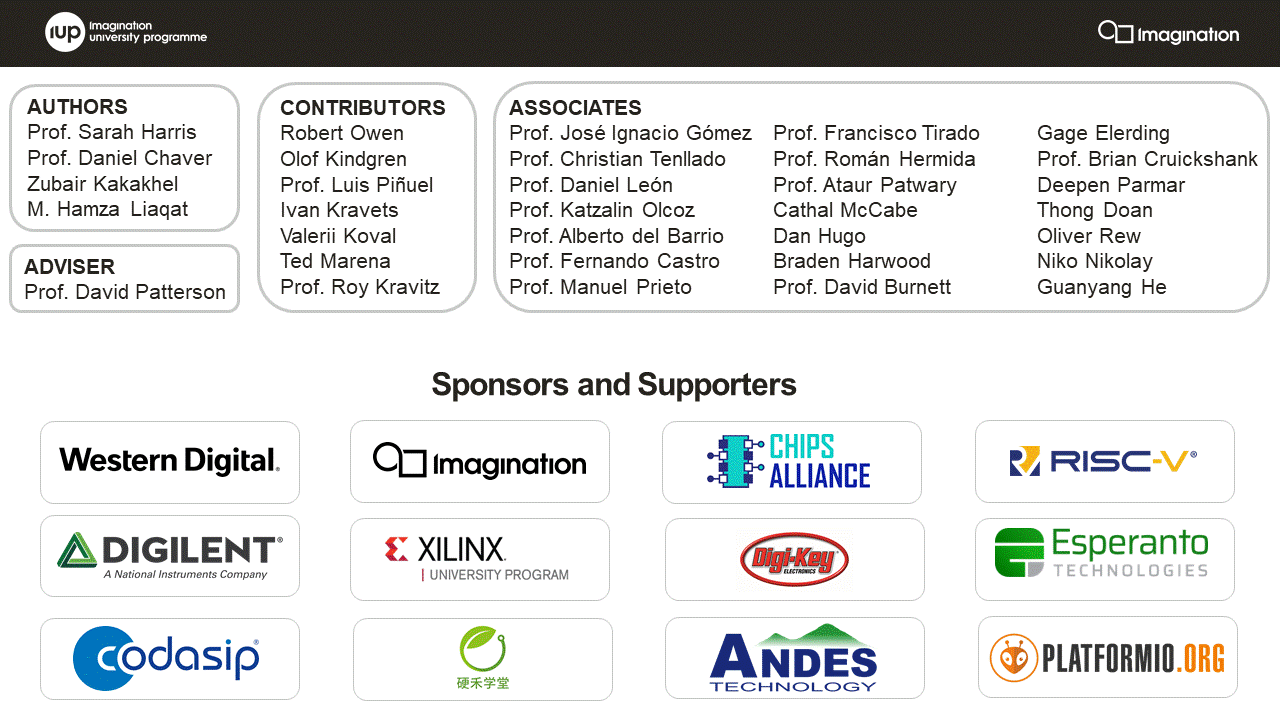


**THE IMAGINATION UNIVERSITY PROGRAMME**

**RVfpga Lab 0**

**RVfpga Labs의 개요**

# 감사드립니다



**저자**

* Prof. Sarah Harris (<https://www.linkedin.com/in/sarah-harris-12720697/>)
* Prof. Daniel Chaver (<https://www.linkedin.com/in/daniel-chaver-a5056a156/>)
* Zubair Kakakhel (<https://www.linkedin.com/in/zubairlk/>)
* M. Hamza Liaqat (<https://www.linkedin.com/in/muhammad-hamza-liaqat-ab73a0195/>)

**고문**

* Prof. David Patterson (<https://www.linkedin.com/in/dave-patterson-408225/>)

**기여자**

* Robert Owen (<https://www.linkedin.com/in/robert-owen-4335931/>)
* Olof Kindgren (<https://www.linkedin.com/in/olofkindgren/>)
* Prof. Luis Piñuel (<https://www.linkedin.com/in/lpinuel/>)
* Ivan Kravets (<https://www.linkedin.com/in/ivankravets/>)
* Valerii Koval (<https://www.linkedin.com/in/valeros/>)
* Ted Marena (<https://www.linkedin.com/in/tedmarena/>)
* Prof. Roy Kravitz (<https://www.linkedin.com/in/roy-kravitz-4725963/>)

**도움주신분**

* Prof. José Ignacio Gómez (<https://www.linkedin.com/in/jos%C3%A9-ignacio-gomez-182b981/>)
* Prof. Christian Tenllado (<https://www.linkedin.com/in/christian-tenllado-31578659/>)
* Prof. Daniel León ([www.linkedin.com/in/danileon-ufv](http://www.linkedin.com/in/danileon-ufv))
* Prof. Katzalin Olcoz (<https://www.linkedin.com/in/katzalin-olcoz-herrero-5724b0200/>)
* Prof. Alberto del Barrio (<https://www.linkedin.com/in/alberto-antonio-del-barrio-garc%C3%ADa-1a85586a/>)
* Prof. Fernando Castro (<https://www.linkedin.com/in/fernando-castro-5993103a/>)
* Prof. Manuel Prieto (<https://www.linkedin.com/in/manuel-prieto-matias-02470b8b/>)
* Prof. Francisco Tirado (<https://www.linkedin.com/in/francisco-tirado-fern%C3%A1ndez-40a45570/>)
* Prof. Román Hermida (<https://www.linkedin.com/in/roman-hermida-correa-a4175645/>)
* Cathal McCabe (<https://www.linkedin.com/in/cathalmccabe/>)
* Dan Hugo (<https://www.linkedin.com/in/danhugo/>)
* Braden Harwood (<https://www.linkedin.com/in/braden-harwood/> )
* David Burnett (<https://www.linkedin.com/in/david-burnett-3b03778/>)
* Gage Elerding (<https://www.linkedin.com/in/gage-elerding-052b16106/>)
* Brian Cruickshank (<https://www.linkedin.com/in/bcruiksh/>)
* Deepen Parmar (<https://www.linkedin.com/in/deepen-parmar/>)
* Thong Doan (<https://www.linkedin.com/in/thong-doan/>)
* Oliver Rew ([https://www.linkedin.com/in/oliver-rew/](https://www.linkedin.com/in/oliver-rew/" \t "_blank))
* Niko Nikolay (<https://www.linkedin.com/in/roy-kravitz-4725963/>)
* Guanyang He (<https://www.linkedin.com/in/guanyang-he-5775ba109/>)
* Prof. Ataur Patwary (<https://www.linkedin.com/in/ataurpatwary/>)

# RVfpga LABS 개요

RVfpga Labs는 RISC-V 하드웨어 및 소프트웨어에 대한 실무 이해를 제공합니다. RVfpga Labs를 시작하기 전에 미리 Imagination University Program(<https://university.imgtec.com/>)에서 제공하는 RVfpga 시작하기 가이드를 이해하여야 합니다. 예를 들어, 아직 설치하지 않은 경우 Xilinx의 Vivado, Platform IO를 해당 가이드의 지침을 따라 설치하십시오. 또한 Imagination의 University Program에서 다운로드한 ***RVfpga*** 폴더를 컴퓨터에 복사했는지 확인하십시오. RVfpga 폴더를 [*RVfpgaPath*]로 배치하는 디렉토리의 절대 경로를 참조합니다. RVfpga/src 폴더에는 RVfpga시스템에 대한 Verilog 및 SystemVerilog 소스가 포함되어 있으며, RISC-V SoC는 labs에서 사용하고 수정할 예정입니다. RVfpga/Labs 폴더에는 Labs 1에서 10까지 사용할 리소스가 포함되어 있습니다. 아래 내용의 Labs가 제공됩니다. 나머지 실습인 11~20은 2021년말에 사용할 수 있습니다. 이 패키지에는 다음 실습이 제공됩니다:

* Lab 0: Overview of RVfpga Labs
* Lab 1: Creating a Vivado
* Lab 2: C Programming
* Lab 3: RISC-V Assembly Language
* Lab 4: Function Calls
* Lab 5: Image Processing: C & Assembly
* Lab 6: Introduction to I/O
* Lab 7: 7-Segment Displays
* Lab 8: Timers
* Lab 9: Interrupt-driven I/O
* Lab 10: Serial Buses

labs에서는 SweRVolfX SoC 소스 코드를 확인하고 FPGA(Lab 1)에 적용하는 방법, RVfpgaNexys, RVfpgaSim and Whisper (Labs 2-5)에서 프로그램을 실행하여 주변 장치를 수정하는 방법(Labs 6-10)을 보여 줍니다. 이러한 labs을 사용하는 데 필요한 소프트웨어 및 하드웨어는 RVfpga 시작하기 가이드의 표 1을 참조하십시오.

Nexys A7 FPGA 보드(또는 Nexys 4 DDR 보드)에 액세스할 수 없는 경우에도Whisper (Western Digital's Instruction Set Simulator) 및 Verilator (오픈 소스 HDL 시뮬레이터)를 사용하여 이러한 labs을 완료할 수 있습니다.

RVfpga/Labs/폴더의 구성은 다음과 같습니다:

* **LabInstructions:** 각 lab의 지시사항, 실습 예제 포함.
  + **Figures**: 각 실습 지침에 사용된 수치
* **Lab1, Lab2,…:** labs을 완료하는 동안 사용할 리소스
* **RVfpgaLabsSolutions:** 각 labs에 대한 솔루션을 실습합니다. **강사는 학생들에게 RVfpga를 배포하기 전에 이 폴더를 제거해야 합니다.**
  + **Programs\_Solutions:** lab실습용 소프트웨어 솔루션
  + **RVfpga\_Solution:** 수정된 RVfpga 시스템 소스 코드(Verilog 및 System Verilog)는 실습예제(Labs 6-10)의 지침에 따라 확장되었습니다. 소스 코드는 [RVfpgaPath]/RVfpga/Labs/RVfpgaLabsSolutions/RVfpga\_Solutions/src 폴더에 있으며, 여기서 비트스트림(rvfpganexys.bit)도 제공됩니다. 문서 RVfpgaModifications.docx는 실습 예제labs 6-10에서 RVfpga 시스템에 적용된 수정 사항에 대하여 설명합니다.

2021년말까지 10 개의 새로운 Labs (Labs 11–20)을 포함한 RVfpga 버전 2.0이 출시될 예정입니다. 이러한 추가 실습은 마이크로 아키텍처 및 메모리 계층에 중점을 둡니다. 아래는 이러한 실습 및 주제 목록입니다.

* Lab 11. SweRV EH1 Configuration and Organization. Performance Monitoring.
* Lab 12. Arithmetic/Logical Instructions: the add instruction.
* Lab 13. Memory Instructions: the lw and sw instructions.
* Lab 14. Structural Hazards.
* Lab 15. Data Hazards.
* Lab 16. Control Hazards. Branch Instructions: the beq Instruction. The Branch Predictor.
* Lab 17. Superscalar Execution.
* Lab 18. Adding New Features (Instructions, Hardware Counters) to the Core.
* Lab 19. Instruction Cache.
* Lab 20. ICCM and DCCM (Instruction and Data Closely-Coupled Memories).

RVfpga Labs 1-20은 학부생을 위한 2-4학기 과정에 적합합니다. 11-20 실습은 석사 수준의 학생들에게도 가르칠 수 있습니다. 이 RVfpga 과정을 완료하기 전에 학생들은 논리 설계, 컴퓨터 아키텍처, 프로세서 설계, 입/출력 시스템 및 C/어셈블리 프로그래밍의 기본 사항을 이해해야 합니다. 이러한 자료는 다음 책에서 설명이 됩니다, *Digital Design & Computer Architecture: RISC-V Edition*, Harris & Harris, © Elsevier Sept 2021.