**RVfpga系統修改**

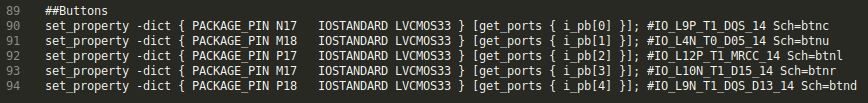
在本文件中，我們摘要了為完成RVfpga實驗6-10中的練習而必須對RVfpga系統進行的變更。此RVfpga系統延伸版本（位於*[RVfpgaPath]/RVfpga/Labs/RVfpgaLabsSolutions/RVfpga\_Solutions/src*）包括所有變更。我們在此處描述了完成每項實驗練習所需的特定更改。

以下練習需要對RVfpga系統進行變更：

* 實驗6 – 練習3
* 實驗6 – 練習4
* 實驗7 – 練習3
* 實驗8 – 練習2
* 實驗9 – 練習2

**實驗6 – 練習3.** 延伸RVfpgaNexys以存取五個板上按鈕。

* rvpfganexys.xdc



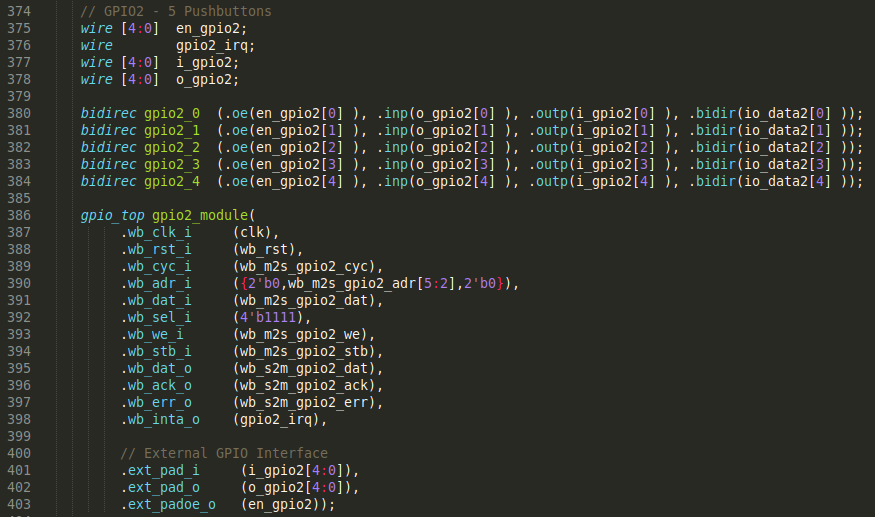
* rvpfganexys.sv



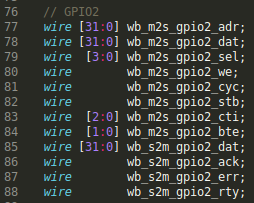


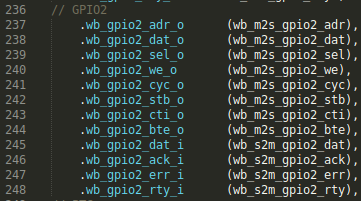
* swervolf\_core.v



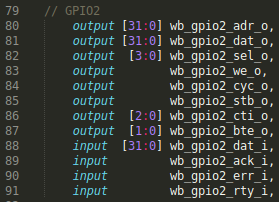


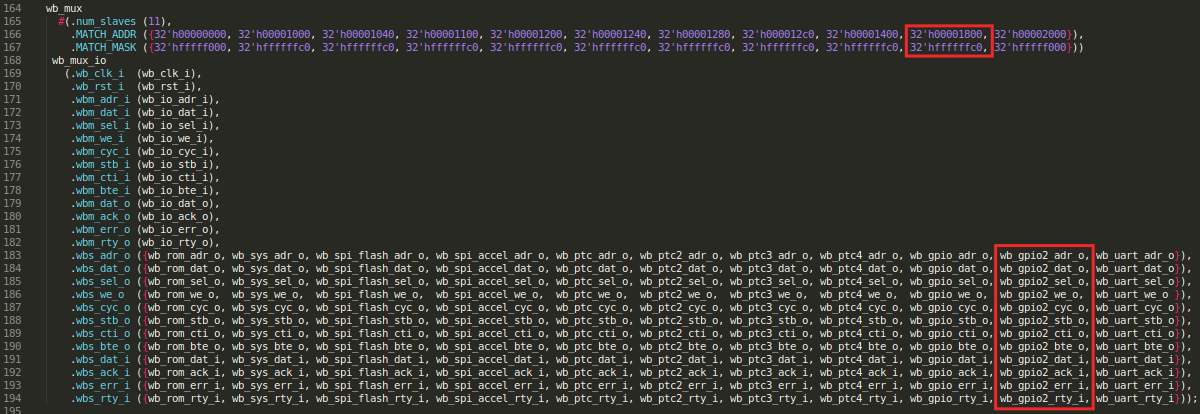
* wb\_intercon.vh





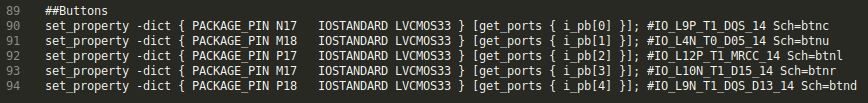
* wb\_intercon.v





**實驗6 – 練習4.** 為五個板上按鈕設計另一個控制器。與之前的練習不同的是，在本練習中，您必須在Verilog/SystemVerilog中實現自己的GPIO控制器。

* rvpfganexys.xdc



* rvpfganexys.sv





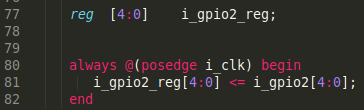
* swervolf\_core.v





* swervolf\_syscon.v

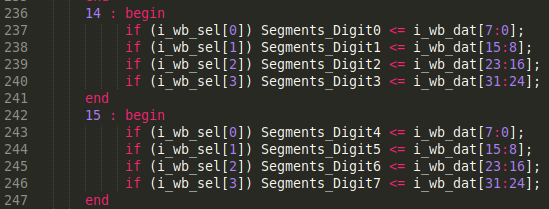


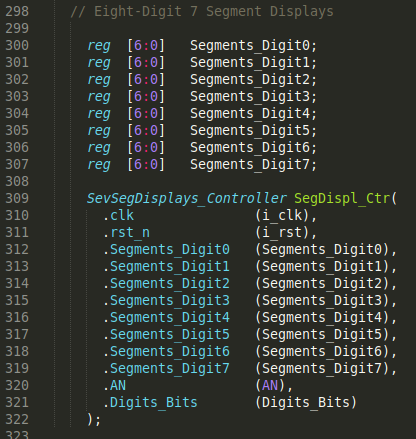


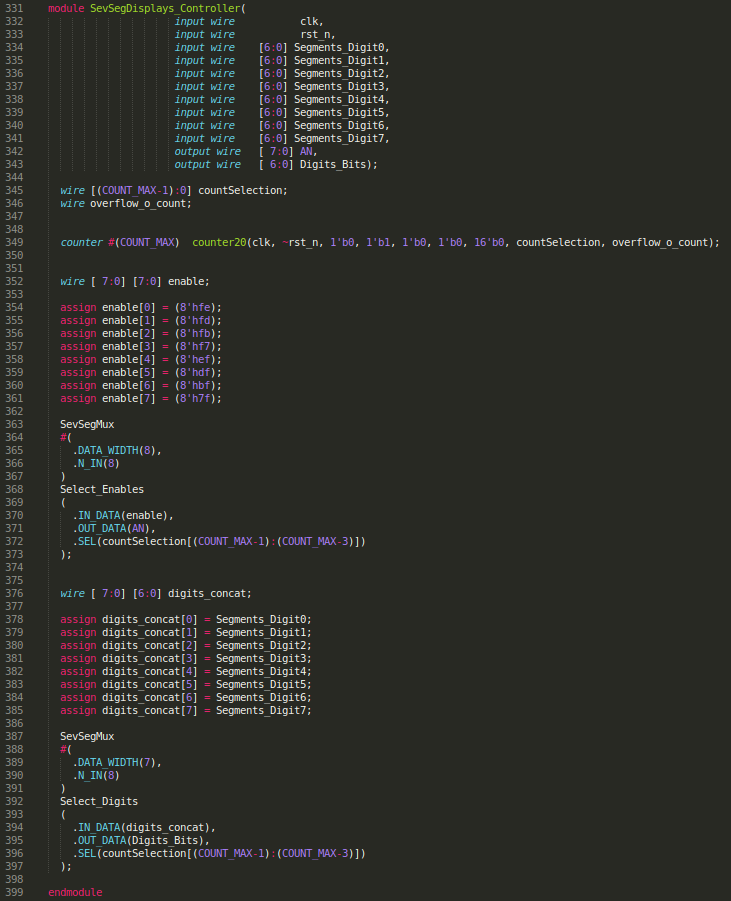


**實驗7 – 練習3.** 修改本實驗中所述的控制器，以便8位7段顯示器可以顯示ON/OFF LED的任意組合。

* swervolf\_syscon.v

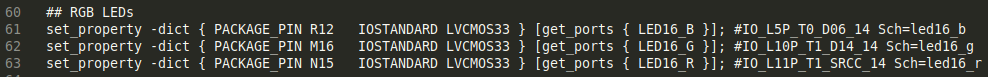




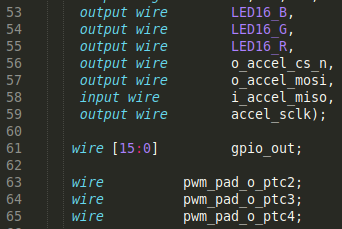


**實驗8 – 練習2.** 修改RVfpgaNexys以將計時器的PWM輸出訊號連接到Nexys A7開發板上的兩個三色LED之一。

* rvpfganexys.xdc



* rvpfganexys.sv

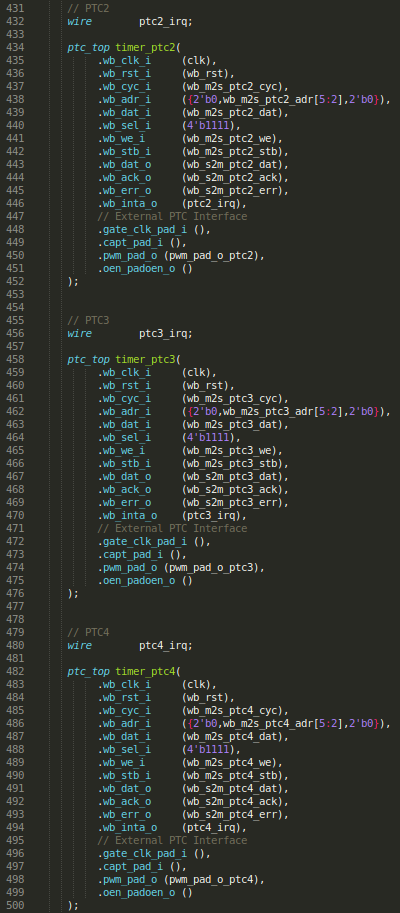




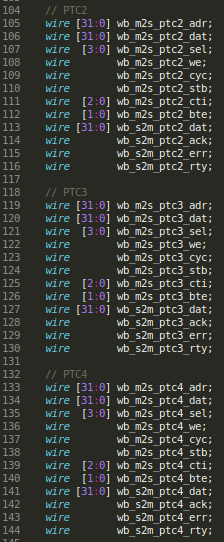


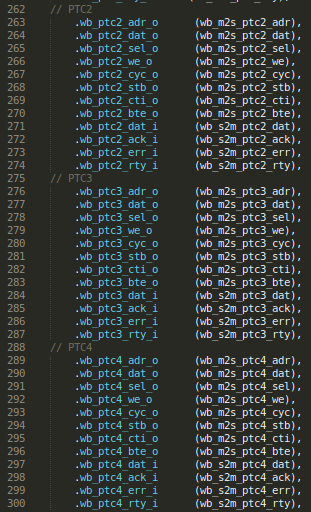
* swervolf\_core.v



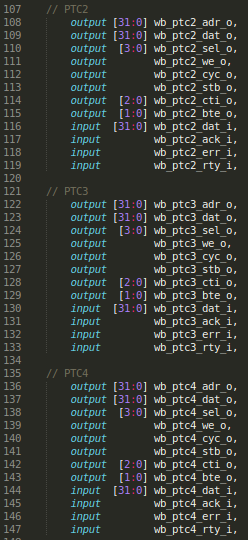


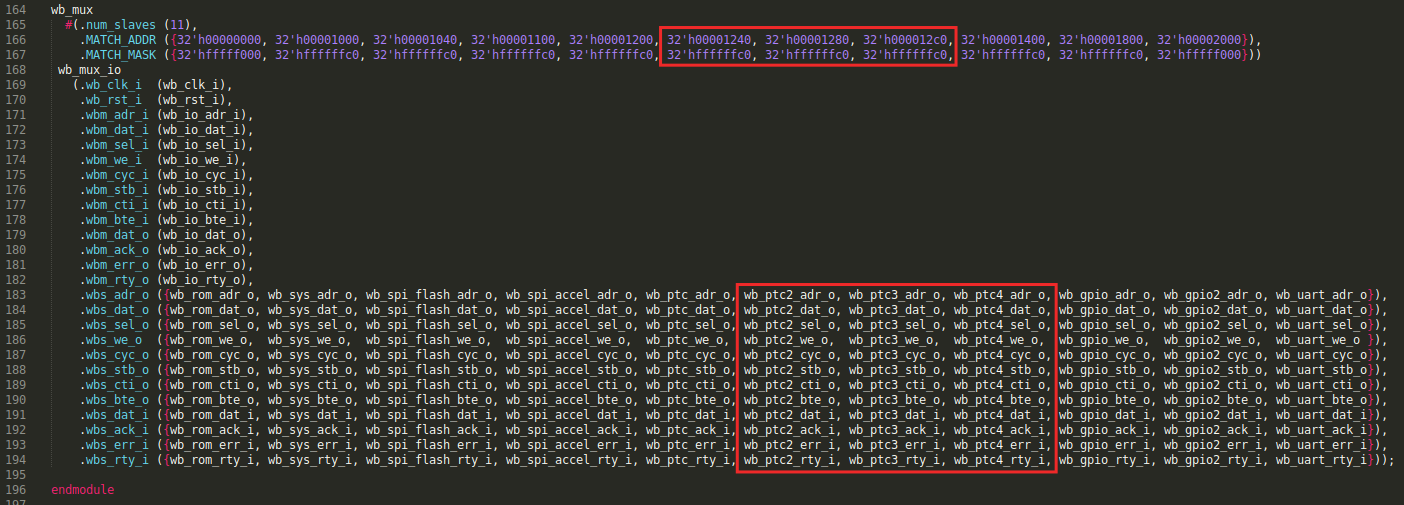
* wb\_intercon.vh





* wb\_intercon.v





**實驗9 – 練習2.** 延伸RVfpgaNexys以包含第二個中斷來源（與IRQ4連接），該中斷來源來自實驗6中用於控制板上按鈕的第二個GPIO。

* swervolf\_core.v



* swervolf\_syscon.v



