




IMAGINATION大學計劃


RVfpga實驗0

RVfpga實驗概述

致謝



Imagination
university programme



Imagination

AUTHORS
Prof. Sarah Harris
Prof. Daniel Chaver
Zubair Kakakhel
M. Hamza Liaqat

CONTRIBUTORS
Robert Owen
Olof Kindgren
Prof. Luis Piñuel
Ivan Kravets
Valerii Koval
Ted Marena
Prof. Roy Kravitz

ASSOCIATES
Prof. José Ignacio Gómez
Prof. Christian Tenllado
Prof. Daniel León
Prof. Katzalin Olcoz
Prof. Alberto del Barrio
Prof. Fernando Castro
Prof. Manuel Prieto

Prof. Francisco Tirado
Prof. Román Hermida
Prof. Ataur Patwary
Cathal McCabe
Dan Hugo
Braden Harwood
Prof. David Burnett

Gage Elerding
Prof. Brian Cruickshank
Deepen Parmar
Thong Doan
Oliver Rew
Niko Nikolay
Guanyang He

ADVISER
Prof. David Patterson

Sponsors and Supporters



作者

- Sarah Harris教授 (<https://www.linkedin.com/in/sarah-harris-12720697/>)
- Daniel Chaver教授 (<https://www.linkedin.com/in/daniel-chaver-a5056a156/>)
- Zubair Kakakhel (<https://www.linkedin.com/in/zubairlk/>)
- M. Hamza Liaqat (<https://www.linkedin.com/in/muhammad-hamza-liaqat-ab73a0195/>)

顧問

- David Patterson教授 (<https://www.linkedin.com/in/dave-patterson-408225/>)

貢獻者

- Robert Owen (<https://www.linkedin.com/in/robert-owen-4335931/>)
- Olof Kindgren (<https://www.linkedin.com/in/olofkindgren/>)
- Luis Piñuel教授 (<https://www.linkedin.com/in/lpinuel/>)
- Ivan Kravets (<https://www.linkedin.com/in/ivankravets/>)
- Valerii Koval (<https://www.linkedin.com/in/valeros/>)
- Ted Marena (<https://www.linkedin.com/in/tedmarena/>)
- Roy Kravitz教授 (<https://www.linkedin.com/in/roy-kravitz-4725963/>)

聯合作者

- José Ignacio Gómez教授 (<https://www.linkedin.com/in/jos%C3%A9-ignacio-gomez-182b981/>)
- Christian Tenllado教授 (<https://www.linkedin.com/in/christian-tenllado-31578659/>)
- Daniel León教授 (<https://www.linkedin.com/in/danileon-ufv/>)
- Katzalin Olcoz教授 (<https://www.linkedin.com/in/katzalin-olcoz-herrero-5724b0200/>)
- Alberto del Barrio教授 (<https://www.linkedin.com/in/alberto-antonio-del-barrio-garc%C3%ADa-1a85586a/>)
- Fernando Castro教授 (<https://www.linkedin.com/in/fernando-castro-5993103a/>)
- Manuel Prieto教授 (<https://www.linkedin.com/in/manuel-prieto-matias-02470b8b/>)
- Francisco Tirado教授 (<https://www.linkedin.com/in/francisco-tirado-fern%C3%A1ndez-40a45570/>)
- Román Hermida教授 (<https://www.linkedin.com/in/roman-hermida-correa-a4175645/>)
- Cathal McCabe (<https://www.linkedin.com/in/cathalmccabe/>)
- Dan Hugo (<https://www.linkedin.com/in/danhugo/>)
- Braden Harwood (<https://www.linkedin.com/in/braden-harwood/>)
- David Burnett (<https://www.linkedin.com/in/david-burnett-3b03778/>)
- Gage Elerding (<https://www.linkedin.com/in/gage-elerding-052b16106/>)
- Brian Cruickshank (<https://www.linkedin.com/in/bcruiksh/>)
- Deepen Parmar (<https://www.linkedin.com/in/deepen-parmar/>)
- Thong Doan (<https://www.linkedin.com/in/thong-doan/>)
- Oliver Rew (<https://www.linkedin.com/in/oliver-rew/>)
- Niko Nikolay (<https://www.linkedin.com/in/roy-kravitz-4725963/>)
- Guanyang He (<https://www.linkedin.com/in/guanyang-he-5775ba109/>)
- PAtaur Patwary教授 (<https://www.linkedin.com/in/ataurpatwary/>)

0. 前言

本RVfpga電腦架構課程透過動手實驗幫助使用者瞭解商用RISC-V處理器、RISC-V SoC和RISC-V生態系統。本課程按照以下順序介紹系統：從基礎數位設計和訊號到指令集架構和處理器，再到程式設計環境、啟動程式碼和編譯器。值得注意的是，RVfpga使用者可以輕鬆藉此全面瞭解RISC-V系統。他們不但可以瞭解工作狀態下的RISC-V SoC和生態系統，還能夠掌握如何使用和延伸RISC-V處理器和系統以支援未來的專案和研究。

David Patterson教授（因對RISC的貢獻而與John Hennessy共獲ACM A.M.杜林獎）表示：「RISC-V正在推動處理器設計以及軟體/硬體協同設計發生巨大變革。RISC-V是一種支援開放原始碼硬體實作的開放式架構。這種全新選項意味著軟體開發可與硬體開發同步進行，進而加快設計速度。RVfpga課程可增進對RISC-V處理器以及RISC-V生態系統和RISC-V SoC的瞭解。本課程可幫助使用者深入瞭解日益普及的工業級處理器架構和系統，這將在他們的整個學術和職業生涯中發揮巨大作用。」

1. RVfpga實驗概述

這些RVfpga實驗通過動手練習幫助使用者增進對RISC-V硬體和軟體的瞭解。在開始RVfpga實驗之前，必須完成Imagination大學計劃（<https://university.imgtec.com/>）提供的「RVfpga入門指南」中所述的準備工作。例如，必須依據該指南中的說明安裝Xilinx的Vivado、PlatformIO和Verilator（如果尚未安裝）。此外，請確保已將從Imagination大學計劃下載的**RVfpga**資料夾複製到您的電腦上。我們將RVfpga資料夾所在目錄的絕對路徑稱為**[RVfpgaPath]**。RVfpga/src資料夾包含RVfpga系統（即，我們將在所有實驗中使用和修改的RISC-V SoC）的Verilog和SystemVerilog原始程式碼。RVfpga/Labs資料夾包含表1中列出的各個實驗的資源。

表1. RVfpga實驗

	編號	標題
第1部分	0	RVfpga實驗概述
	1	建立Vivado專案
	2	C語言程式設計
	3	RISC-V組合語言
	4	函數呼叫
	5	影像處理：採用C語言和Assembly語言的專案
	6	I/O簡介
	7	7段顯示器
	8	計時器
	9	中斷驅動I/O
	10	序列匯流排
第2部分	11	SweRV EH1組態和結構。效能監視
	12	算術/邏輯指令：add
	13	記憶體指令：lw和sw指令
	14	結構冒險
	15	資料冒險
	16	控制冒險。分支指令：beq和分支預測器
	17	超標量執行
	18	向核心新增新功能（指令和硬體計數器）
	19	記憶體階層：指令快取（I\$）
	20	I\$、ICCM、DCCM和基準測試
		SweRV EH1參考

實驗1-10（第1部分）說明如何使用RISC-V SoC和工具鏈（編譯器和模擬器）以及如何向SoC新增周邊設備。具體來說：這些實驗展示了如何查看SweRVolfX SoC原始程式碼並確定其目標FPGA（實驗1）、如何在RVfpgaNexys、RVfpgaSim和Whisper上執行程式（實驗2-5）以及如何修改RVfpga系統以新增周邊設備（實驗6-10）。

實驗11-20（第2部分）重點關注微架構和記憶體階層；這些實驗展示了如何理解RISC-V管線以及如何為RISC-V核心使用或新增功能，包括附加指令、其他分支預測器和記憶體功能。

這些實驗非常適合作為本科兩個學期的課程。實驗11-20也可作為碩士課程。在學習本RVfpga課程之前，學生應瞭解邏輯設計、電腦架構、處理器設計、輸入/輸出系統和C語言/Assembly語言程式設計方面的基礎知識。相關材料已包含在以下教科書中：《數位設計和電腦結構》RISC-V版本（作者：Harris & Harris）© Elsevier，2021年10月。

表2列出了進行這些實驗所需的軟體和選用的硬體。所有軟體均免費提供。無需Nexys A7 FPGA開發板（或等效的Nexys DDR FPGA開發板）即可完成這些實驗。可以使用Whisper（Western Digital的指令集模擬器）和Verilator（一種開放原始碼HDL模擬器）完成這些實驗。

表2. 所需的軟體和選用的硬體

軟體	
Vivado 2019.2 WebPACK	https://www.xilinx.com/support/download/index.html/content/xilinx/en/downloadNav/vivado-design-tools/2019-2.html
VS Code	https://code.visualstudio.com/Download
PlatformIO	https://platformio.org/ （安裝在VSCode內部）
Verilator和GTKWave	https://github.com/verilator/verilator http://gtkwave.sourceforge.net/
Whisper（Western Digital的RISC-V指令集模擬器）	https://github.com/chipsalliance/SweRV-ISS （安裝在PlatformIO內部）
RISC-V工具鏈和OpenOCD	https://github.com/riscv/riscv-gnu-toolchain 、 https://github.com/riscv/riscv-openocd （安裝在PlatformIO內部）
硬體	
Nexys A7 FPGA開發板*	https://store.digilentinc.com/nexys-a7-fpga-trainer-board-recommended-for-ece-curriculum/
RISC-V核心和晶片上系統（SoC）	
Western Digital的SweRV EH1	https://github.com/chipsalliance/Cores-SweRV （包含在RVfpga套件內）
SweRVolf	https://github.com/chipsalliance/Cores-SweRVolf （包含在RVfpga套件內）

*選用

RVfpga/src資料夾的結構在GSG和實驗1-20中說明。

RVfpga/Labs資料夾的結構如下：

- 資料夾**LabInstructions**：
 - 各實驗的說明，包括相關任務和練習。
 - 資料夾**Figures**：各實驗的說明中使用的圖。
- 資料夾**Lab1**、**Lab2...Lab19**和**Lab20**：完成實驗所需的資源
- 資料夾**RVfpgaLabsSolutions**：各實驗的練習解答：**在將RVfpga分發給學生之前，講師應先將此資料夾刪除。**
 - 資料夾**Programs_Solutions**：包含所提供任務和練習的解決方案的文件和軟體。
 - 資料夾**RVfpga_Solutions**：根據實驗6-10中的練習的指示進行延伸修改後的RVfpga系統原始程式碼（Verilog和SystemVerilog）。原始程式碼位於資料夾[RVfpgaPath]/RVfpga/Labs/RVfpgaLabsSolutions/RVfpga_Solutions/src中，該資料夾還提供位元串流（rvfpganexys.bit）。文件[RVfpgaPath]/RVfpga/Labs/RVfpgaLabsSolutions/RVfpga_Solutions/RVfpgaModifications.docx說明了在實驗6-10的練習中對RVfpga系統進行的修改。請注意，並非所有練習均提供解決方案。