

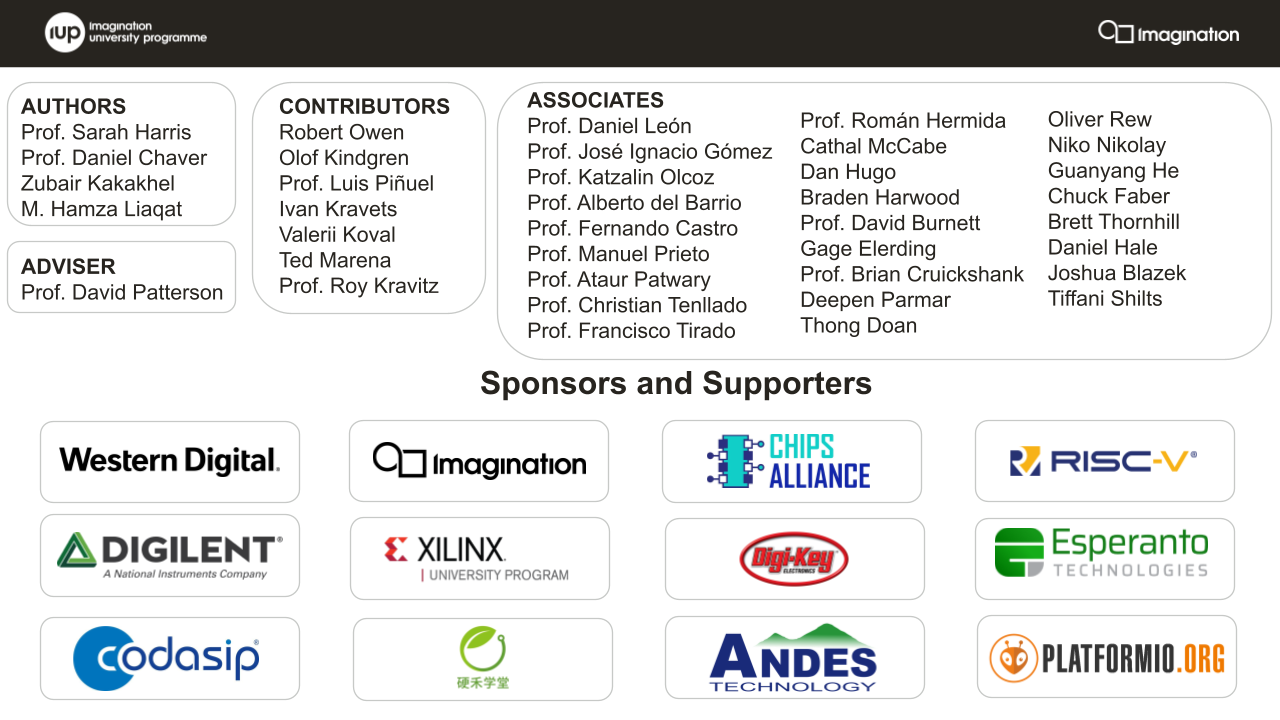
**THE IMAGINATION UNIVERSITY PROGRAMME**

**RVfpga-SoC**

**Guia de Introdução**

# 

# Agradecimentos



**AUTORES**

* Prof. Sarah Harris (<https://www.linkedin.com/in/sarah-harris-12720697/>)
* Prof. Daniel Chaver (<https://www.linkedin.com/in/daniel-chaver-a5056a156/>)
* Zubair Kakakhel (<https://www.linkedin.com/in/zubairlk/>)
* M. Hamza Liaqat (<https://www.linkedin.com/in/muhammad-hamza-liaqat-ab73a0195/>)

**ORIENTADOR**

* Prof. David Patterson (<https://www.linkedin.com/in/dave-patterson-408225/>)

**COLABORADORES**

* Robert Owen (<https://www.linkedin.com/in/robert-owen-4335931/>)
* Olof Kindgren (<https://www.linkedin.com/in/olofkindgren/>)
* Prof. Luis Piñuel (<https://www.linkedin.com/in/lpinuel/>)
* Ivan Kravets (<https://www.linkedin.com/in/ivankravets/>)
* Valerii Koval (<https://www.linkedin.com/in/valeros/>)
* Ted Marena (<https://www.linkedin.com/in/tedmarena/>)
* Prof. Roy Kravitz (<https://www.linkedin.com/in/roy-kravitz-4725963/>)

**ASSOCIADOS**

* Prof. José Ignacio Gómez (<https://www.linkedin.com/in/jos%C3%A9-ignacio-gomez-182b981/>)
* Prof. Christian Tenllado (<https://www.linkedin.com/in/christian-tenllado-31578659/>)
* Prof. Daniel León ([www.linkedin.com/in/danileon-ufv](http://www.linkedin.com/in/danileon-ufv))
* Prof. Katzalin Olcoz (<https://www.linkedin.com/in/katzalin-olcoz-herrero-5724b0200/>)
* Prof. Alberto del Barrio (<https://www.linkedin.com/in/alberto-antonio-del-barrio-garc%C3%ADa-1a85586a/>)
* Prof. Fernando Castro (<https://www.linkedin.com/in/fernando-castro-5993103a/>)
* Prof. Manuel Prieto (<https://www.linkedin.com/in/manuel-prieto-matias-02470b8b/>)
* Prof. Francisco Tirado (<https://www.linkedin.com/in/francisco-tirado-fern%C3%A1ndez-40a45570/>)
* Prof. Román Hermida (<https://www.linkedin.com/in/roman-hermida-correa-a4175645/>)
* Cathal McCabe (<https://www.linkedin.com/in/cathalmccabe/>)
* Dan Hugo (<https://www.linkedin.com/in/danhugo/>)
* Braden Harwood (<https://www.linkedin.com/in/braden-harwood/> )
* David Burnett (<https://www.linkedin.com/in/david-burnett-3b03778/>)
* Gage Elerding (<https://www.linkedin.com/in/gage-elerding-052b16106/>)
* Brian Cruickshank (<https://www.linkedin.com/in/bcruiksh/>)
* Deepen Parmar (<https://www.linkedin.com/in/deepen-parmar/>)
* Thong Doan (<https://www.linkedin.com/in/thong-doan/>)
* Oliver Rew (<https://www.linkedin.com/in/oliver-rew/>)
* Niko Nikolay (<https://www.linkedin.com/in/roy-kravitz-4725963/>)
* Guanyang He (<https://www.linkedin.com/in/guanyang-he-5775ba109/>)
* Prof. Ataur Patwary (<https://www.linkedin.com/in/ataurpatwary/>)
* Chuck Faber [(https://www.linkedin.com/in/chuck-faber-3b502339/](https://www.linkedin.com/in/chuck-faber-3b502339/))
* Brett Thornhill (<https://www.linkedin.com/in/brett-d-thornhill/>)
* Daniel Hale (<https://www.linkedin.com/in/daniel-lee-hale/>)
* Joshua Blazek (<https://www.linkedin.com/in/joshuablazek/>)
* Tiffani Shilts (<https://linkedin.com/in/tiffanishilts>/)

# Notas Sobre a Tradução para Português

Este curso RVfpga-SoC foi traduzido para português pós-acordo ortográfico. Vale a pena referir que para os públicos do Brasil e de Portugal, mesmo depois do novo acordo ortográfico, não existe uma única concordância possível para vários termos e expressões. Existem vários termos técnicos que continuam a ser diferentes, por exemplo: registos e registros, e ficheiro e arquivo. Como o curso RVfpga-SoC é oferecido com os documentos editáveis, é possível substituir automaticamente todas as expressões para adaptar o texto com a terminologia preferida. Uma forma possível de realizar esta substituição é explicada em <https://gregmaxey.com/word_tip_pages/vba_find_and_replace.html>.

|  |  |
| --- | --- |
| **Português de Portugal** | **Português do Brasil** |
| Sistema Operativo | Sistema Operacional |
| Utilizador | Usuário |
| Ficheiro | Arquivo |
| Eletrónica | Eletrônica |
| Sistema Embebido | Sistema Embarcado |
| Descarregar | Baixar |
| Programadores | Desenvolvedores |
| Aceder | Acessar |

Este curso foi traduzido por Rui Policarpo Duarte, professor de Arquiteturas de Computadores do Instituto Superior de Engenharia de Lisboa (ISEL) / Instituto Politécnico de Lisboa (IPL), e também investigador no INESC-ID. Possui um doutoramento em Engenharia Eléctrica e Electrónica pelo Imperial College London, e um mestrado em Engenharia Eletrotécnica de e Computadores pelo Instituto Superior Técnico. Os seus principais interesses de investigação são em sistemas digitais reconfiguráveis e sistemas embebidos.

<https://www.linkedin.com/in/ruiapduarte/>

**Tabela 1. Termos do RVfpga**

|  |  |
| --- | --- |
| **Nome** | **Descrição** |
| **Cursos** | |
| **RVfpga** | Um curso que mostra como usar o RVfpgaNexys e o RVfpgaSim, RISC-V system-on-chips (SoCs), para executar programas e ampliar o sistema adicionando periféricos (RVfpga Labs 1-10) e explorar o núcleo e o sistema de memória executando simulações, medindo o desempenho, adicionando instruções e modificando o sistema de memória (RVfpga Labs 11-20). Ao longo do curso, os utilizadores também aprendem a usar a cadeia de ferramentas RISC-V (compiladores e depuradores) e simuladores, o simulador Verilator HDL e o simulador de conjunto de instruções Whisper (ISS) da Western Digital. |
| **RVfpga-SoC** | Um curso que mostra como construir uma parte do SweRVolfX SoC a partir do zero usando blocos como o núcleo SweRV, memórias e periféricos. O curso também mostra como carregar o sistema operativo em tempo real (RTOS) Zephyr no SweRVolf e executar programas, incluindo o exemplo Hello-World do Tensorflow Lite, sobre o sistema operativo. |
| **Núcleos e SoCs** | |
| **SweRV EH1 Core** | Núcleo RISC-V comercial de código aberto desenvolvido pela Western Digital (<https://github.com/chipsalliance/Cores-SweRV>). |
| **SweRV EH1 Core Complex** | Núcleo SweRV EH1 com memória adicional (ICCM, DCCM e cache de instruções), controlador de interrupção programável (PIC), interfaces de barramento e unidade de depuração (<https://github.com/chipsalliance/Cores-SweRV>). |
| **SweRVolfX** | É o System-on-a-Chip usado no curso RVfpga. É uma extensão do SweRVolf.  **SweRVolf** (<https://github.com/chipsalliance/Cores-SweRVolf>): Um SoC de código aberto criado em torno do SweRV EH1 Core Complex. Adiciona uma boot ROM, uma interface UART, um controlador de sistema, uma interconexão (AXI Interconnect, Wishbone Interconnect, e AXI-to-Wishbone bridge) e um controlador SPI.  **SweRVolfX**: adiciona quatro novos periféricos ao SweRVolf: um GPIO, um PTC, um SPI adicional e um controlador para os 8 mostradores de 7 segmentos de 8 dígitos. |
| **RVfpgaNexys** | O SoC SweRVolfX foi realizado para a placa Nexys A7 e seus periféricos. Ele adiciona uma interface DDR2, unidade CDC (clock domain crossing), lógica BSCAN (para a interface JTAG) e gerador de relógio.  O RVfpgaNexys é o mesmo que o SweRVolf Nexys (<https://github.com/chipsalliance/Cores-SweRVolf>), exceto que o último é baseado no SweRVolf. |
| **RVfpgaSim** | O SoC SweRVolfX tem um encapsulamento de testbench e memória AXI destinados a simulação.  O RVfpgaSim é o mesmo que o SweRVolf Sim (<https://github.com/chipsalliance/Cores-SweRVolf>), exceto pelo fato de que o último é baseado no SweRVolf. |

# Resumo dos Laboratórios RVfpga-SoC

Este curso RVfpga-SoC mostra como construir um SoC RISC-V a partir do zero usando os blocos fornecidos e uma abordagem de design visual baseada em blocos. Os blocos incluem o núcleo da CPU SweRV EH 1, a interconexão, a boot ROM, o controlador do sistema, e o controlador GPIO. O SoC criado pelo utilizador usando a abordagem de Block Design é um SweRVolfX reduzido. Os laboratórios subsequentes mostram como executar programas no SoC, comparar o SoC do Block Design com o SweRVolf criado usando o FuseSoC, executar o sistema operativo de tempo-real Zephyr no SweRVolf e, em seguida, executar um exemplo Hello-World do Tensorflow Lite no SweRVolf.

Os laboratórios RVfpga-SoC foram construídos com a seguinte plataforma:

* Sistema operativo: Ubuntu 18.04 LTS
  + Os Labs 1 e 2 podem ser facilmente executados no Windows 10. Os Labs 3, 4 e 5 usam alguns pacotes que são executados somente num ambiente Linux. Os utilizadores do Windows 10 podem executar as partes de simulação dos laboratórios usando o [Windows Subsystem for Linux.](https://docs.microsoft.com/en-us/windows/wsl/install-win10)
* Hardware (opcional): Placa Nexys A7-100T (ou placa Nexys 4 DDR)
* Simulador de sistema completo: Verilator

Antes de iniciar os laboratórios do RVfpga-SoC, já deve ter concluído o Guia de Instalação do RVfpga-SoC. O Guia de Instalação foi dividido em instruções necessárias para cada laboratório. A estrutura do Guia de Instalação é a seguinte:

* **Instalação para o Lab 1:** Instalação do Vivado 2019.2 Web Pack, drivers e os Board Files da Digilent.
* **Instalação para o Lab 2:** Instalação do Visual Studio Code (VScode), PlatformIO, Verilator versão 4.106 e GTKWave.
* **Instalação para o Lab 3:** instalação do FuseSoC e do OpenOCD.
* **Instalação para o Lab 4:** instalação das dependências do Zephyr, west, CMake, PuTTY e Zephyr SDK versão 0.12.4.

Se já tiver concluído o curso RVfpga, já terá instalado grande parte deste software.

Certifique-se de ter copiado a pasta ***RVfpgaSoC*** que descarregou do Imagination University Programme para o computador. Vamo-nos referir ao caminho absoluto do diretório para colocar a pasta RVfpgaSoC como [*RVfpgaSoCPath*]. De preferência, coloque a pasta **RVfpgaSoC** no seu diretório pessoal, ou seja, : /home/<nome de utilizador>/RVfpgaSoC

São fornecidos os seguintes laboratórios:

* **Lab 1**: Introdução ao RVfpga-SoC
* **Lab 2**: Executar software no RVfpga-SoC
* **Lab 3**: Introdução ao SweRVolf e ao FuseSoC
* **Lab 4**: Executar o Zephyr no SweRVolf
* **Lab 5**: Executar o Tensorflow Lite no SweRVolf

Esses laboratórios mostram como criar um SoC a partir de um núcleo e outros blocos básicos (Lab 1), como configurá-lo uma FPGA e executar programas no SoC recém-criado (Lab 2), como usar um SoC baseado em FuseSoC (SweRVolf) para o SweRV EH1 (Lab 3), como adicionar um sistema operativo de tempo-real (RTOS) ao SweRVolf (Lab 4) e como executar o exemplo Hello-World do Tensorflow Lite no SweRVolf (Lab 5).

A organização da pasta RVfpgaSoC/Labs/ é a seguinte:

* **Instruções do laboratório:** Instruções para cada laboratório.
* **LabProjects:** A pasta onde criará projetos.
  + Lab1: Diretório para o Lab 1 Projeto Vivado.
  + SweRVolf: Diretório para os Labs 3, 4 e 5
* **LabResources:** Recursos a serem usados ao concluir os laboratórios.
* **LabSolutions:** Solução de laboratórios.

**Os instrutores podem remover essa pasta antes de distribuir o RVfpgaSoC aos alunos**.