





THE IMAGINATION UNIVERSITY PROGRAMME

Resumo dos Materiais RVfpga

Agradecimentos

**Imagination**
university programme

Imagination

AUTHORS
Prof. Sarah Harris
Prof. Daniel Chaver
Zubair Kakakhel
M. Hamza Liaqat

CONTRIBUTORS
Robert Owen
Olof Kindgren
Prof. Luis Piñuel
Ivan Kravets
Valerii Koval
Ted Marena
Prof. Roy Kravitz

ASSOCIATES
Prof. José Ignacio Gómez
Prof. Christian Tenllado
Prof. Daniel León
Prof. Katzalin Olcoz
Prof. Alberto del Barrio
Prof. Fernando Castro
Prof. Manuel Prieto

Prof. Francisco Tirado
Prof. Román Hermida
Prof. Julio Villalba
Prof. Ataur Patwary
Cathal McCabe
Dan Hugo
Braden Harwood
Prof. David Burnett

Gage Elerding
Prof. Brian Cruickshank
Deepen Parmar
Thong Doan
Oliver Rew
Niko Nikolay
Guanyang He
Prof. Peng Liu

Sponsors and Supporters



AUTORES

- Prof. Sarah Harris (<https://www.linkedin.com/in/sarah-harris-12720697/>)
- Prof. Daniel Chaver (<https://www.linkedin.com/in/daniel-chaver-a5056a156/>)
- Zubair Kakakhel (<https://www.linkedin.com/in/zubairlk/>)
- M. Hamza Liaqat (<https://www.linkedin.com/in/muhammad-hamza-liaqat-ab73a0195/>)

ORIENTADOR

- Prof. David Patterson (<https://www.linkedin.com/in/dave-patterson-408225/>)

COLABORADORES

- Robert Owen (<https://www.linkedin.com/in/robert-owen-4335931/>)
- Olof Kindgren (<https://www.linkedin.com/in/olofkindgren/>)
- Prof. Luis Piñuel (<https://www.linkedin.com/in/lpinuel/>)
- Ivan Kravets (<https://www.linkedin.com/in/ivankravets/>)
- Valerii Koval (<https://www.linkedin.com/in/valeros/>)
- Ted Marena (<https://www.linkedin.com/in/tedmarena/>)
- Prof. Roy Kravitz (<https://www.linkedin.com/in/roy-kravitz-4725963/>)

ASSOCIADOS

- Prof. José Ignacio Gómez (<https://www.linkedin.com/in/jos%C3%A9-ignacio-gomez-182b981/>)
- Prof. Christian Tenllado (<https://www.linkedin.com/in/christian-tenllado-31578659/>)
- Prof. Daniel León (<https://www.linkedin.com/in/danileon-ufv/>)
- Prof. Katzalin Olcoz (<https://www.linkedin.com/in/katzalin-olcoz-herrero-5724b0200/>)
- Prof. Alberto del Barrio (<https://www.linkedin.com/in/alberto-antonio-del-barrio-garc%C3%ADa-1a85586a/>)
- Prof. Fernando Castro (<https://www.linkedin.com/in/fernando-castro-5993103a/>)
- Prof. Manuel Prieto (<https://www.linkedin.com/in/manuel-prieto-matias-02470b8b/>)
- Prof. Francisco Tirado (<https://www.linkedin.com/in/francisco-tirado-fern%C3%A1ndez-40a45570/>)
- Prof. Román Hermida (<https://www.linkedin.com/in/roman-hermida-correa-a4175645/>)
- Prof. Julio Villalba (<https://www.linkedin.com/in/julio-villalba-moreno-97474824/>)
- Cathal McCabe (<https://www.linkedin.com/in/cathalmccabe/>)
- Dan Hugo (<https://www.linkedin.com/in/danhugo/>)
- Braden Harwood (<https://www.linkedin.com/in/braden-harwood/>)
- David Burnett (<https://www.linkedin.com/in/david-burnett-3b03778/>)
- Gage Elerding (<https://www.linkedin.com/in/gage-elerding-052b16106/>)
- Brian Cruickshank (<https://www.linkedin.com/in/bcruiksh/>)
- Deepen Parmar (<https://www.linkedin.com/in/deepen-parmar/>)
- Thong Doan (<https://www.linkedin.com/in/thong-doan/>)
- Oliver Rew (<https://www.linkedin.com/in/oliver-rew/>)
- Niko Nikolay (<https://www.linkedin.com/in/roy-kravitz-4725963/>)
- Guanyang He (<https://www.linkedin.com/in/guanyang-he-5775ba109/>)
- Prof. Ataur Patwary (<https://www.linkedin.com/in/ataurpatwary/>)
- Prof. Peng Liu (<https://person.zju.edu.cn/liupeng>)

Histórico de actualizações:

- Versão 1.0 (Lançada em novembro de 2020):
 - o Lançamento original do curso RVfpga.
 - Versão 1.1 (Lançada em junho de 2021):
 - o Adicionada a descrição dos Labs 11-20 no Lab 0.
 - o Actualização da versão do SweRVolf para 0.7.3 e da versão do Verilator para 4.106.
 - o Adicionado programa de inicialização da ROM de arranque.
 - o Adicionadas novas Figura 1 e Tabela 1 no GSG descrevendo o sistema RVfpga
 - o Adicionado um exercício UART ao Lab 10.
 - o Correção de algumas gralhas.
 - Versão 2.0 (Lançada em novembro 2021):
 - o Adicionados Labs 11-20: documentos, figuras, fontes de software, exercícios e soluções.
 - o Prolongamento dos diapositivos com os novos laboratórios.
 - o Adicionadas algumas pequenas coisas no GSG e Labs 0-10, e corrigidos alguns erros de digitação.
 - Versão 2.1 (Lançada em fevereiro de 2022):
 - o Renumeração dos Labs 1-5: mudou o Lab 1 para o laboratório 5 e os Labs 2-5 foram renumerados para 1-4.
 - Versão 2.2 (Lançada em maio de 2022):
 - o Adicionado o documento *Workshop_Guide*, que apresenta um guia para um workshop de um dia sobre RVfpga.
 - o Fontes adicionais (tais como alguns projetos PlatformIO e binários Verilator) necessárias para o workshop de um dia.
 - o Adicionado o documento *ReadmeFirst* (a que está a ler neste momento), o que permite uma utilização fácil para todos. Removido o Laboratório 0; a maior parte deste material foi transferida para o documento *ReadmeFirst*.
 - o Integrou todos os documentos (GSG, diapositivos, brochura da IUP, contrato de licença e guia do workshop) numa pasta Documentos.
 - o Brochura e contrato de licença da IUP atualizados.
 - o Modificações nos slides.
 - o Adicionadas ligeiras alterações no GSG e nos Laboratórios 1-20, e corrigidos alguns erros tipográficos.
-

0. PREFÁCIO

Este curso RVfpga em Arquitetura de Computadores fornece uma compreensão prática de um processador RISC-V comercial, RISC-V SoC e do ecossistema RISC-V. O curso fornece uma compreensão do sistema desde o projeto digital subjacente e sinais para a arquitetura do conjunto de instruções e processador para o ambiente de programação, código de inicialização e compilador. Os utilizadores do RVfpga ficam com uma compreensão completa do sistema RISC-V. Depois de concluir o curso RVfpga, os participantes não terão apenas um SoC e um ecossistema RISC-V em funcionamento, mas também saberão como usar e expandir o processador e o sistema RISC-V para futuros projetos e investigação.

O Professor David Patterson, que partilhou o Prémio ACM A.M. Turing com John Hennessy pela sua contribuição para a RISC, diz:

"O RISC-V está a transformar o projeto do processador e o co-projeto de software/hardware. O RISC-V é uma arquitetura aberta, que permite implementações de hardware em código aberto. Esta nova opção significa que o desenvolvimento de software pode ocorrer a par do desenvolvimento de hardware, acelerando o projeto. O curso RVfpga melhora a compreensão não só dos processadores RISC-V, mas também do ecossistema RISC-V e dos SoCs RISC-V. Este curso proporciona uma compreensão profunda de uma arquitetura de processadores de cariz industrial e de um sistema de popularidade crescente, que se revelará útil ao longo das suas carreiras académicas e industriais".

1. ESTRUTURA DA PASTA rvfpga

IMPORTANTE: Antes de iniciar este curso, copie a pasta **RVfpga** que descarregou do Imagination University Program para a sua máquina Ubuntu/Windows/macOS. Vamos referir-nos ao caminho absoluto da pasta onde coloca esta pasta RVfpga como [RVfpgaPath].

A pasta RVfpga inclui os seguintes elementos:

1. **ReadmeFirst** (documento): o documento que está a ler atualmente descreve a organização e os principais conteúdos dos materiais do RVfpga.

IMPORTANTE: Deve ler o documento **ReadmeFirst** completamente antes de começar a utilizar o RVfpga.

2. **Documentos** (pasta): contém:
 - a. **RVfpga_GettingStartedGuide** (GSG) - Guia de Introdução ao RVfpga, que apresenta o sistema e as ferramentas utilizadas no curso RVfpga. Segue-se uma breve descrição (Secção 2).
 - b. **RVfpga_Slides**, que são os diapositivos para o GSG e os Laboratórios.
 - c. **Workshop_Guide**, que inclui as instruções que os participantes de um Workshop RVfpga de um dia devem seguir.
 - d. **IUP_Brochure** e **TeachingMaterial_LicenseAgreement**, descrevem os pacotes de materiais didáticos e a licença da Imagination Technologies.
 - e. **Figures_GSG** (pasta): Figuras utilizadas no documento do GSG.
3. **examples** (pasta): contém programas de exemplo que serão executados durante a utilização do Guia de Introdução - *Getting Started Guide*.

4. **src** (pasta): contém o código fonte (Verilog e SystemVerilog) para o Sistema RVfpga.
5. **verilatorSIM** (pasta): contém os scripts para executar a simulação do RVfpgaSim no Verilator.
6. **driversLinux_NexysA7** (pasta): contém os drivers Linux para a placa FPGA Nexys A7.
7. **Labs** (pasta): contém instruções, programas e soluções que irá utilizar durante os Labs RVfpga 1-20. Esta pasta contém várias sub-pastas:
 - a. **Lab1, Lab2, ... , Lab19, Lab20** (pasta): Instruções e recursos a utilizar durante a realização dos laboratórios. Note que cada um dos 20 laboratórios tem um documento de instruções que se encontra na pasta Labs, na pasta do laboratório específico. Por exemplo, as instruções para o Lab 1 estão em [RVfpgaPath]/Labs/Lab01/RVfpga_Lab01. Estes guias de laboratório fornecem as instruções, exemplos, tarefas, exercícios e figuras para cada um dos 20 laboratórios RVfpga.
 - b. **RVfpgaLabsFigures** (pasta): Figuras utilizadas nos documentos do lab.
 - c. **RVfpgaLabsSolutions** (pasta): Um subconjunto de soluções de exercícios para cada um dos labs.
 - i. **ProgramsAndDocuments** (pasta): documentos e software com as soluções para as tarefas e exercícios propostos.
 - ii. **Modified_RVfpgaSystem** (pasta): Código-fonte do sistema RVfpga modificado (Verilog e SystemVerilog) estendido conforme orientação dos exercícios nos Labs 6-10 e no Lab 18. São fornecidos os dois projetos diferentes de platformIO, o código fonte e os bitstreams para o SoC (que podem ser utilizados diretamente na FPGA).

IMPORTANTE: Os instrutores devem remover a pasta **RVfpgaLabsSolutions** antes de distribuir o RVfpga aos alunos.

2. RESUMO DO GSG RVfpga

O Guia de Introdução/*Getting Started Guide* (GSG) RVfpga é o documento introdutório dos materiais RVfpga. Está disponível em:

[RVfpgaPath]/RVfpga/Documents/RVfpga_GettingStartedGuide.docx,

IMPORTANTE: Antes de começar a trabalhar nos Labs RVfpga, deve completar o Guia de Introdução (*Getting Started Guide*) RVfpga.

O GSG é um documento extenso que inclui um Guia de Iniciação Rápida, instruções de instalação de software, uma visão geral da arquitetura RISC-V e do RVfpga (incluindo descrições detalhadas do SoC SweRVolf e do núcleo SweRV EH1) e instruções sobre como escrever, simular e executar programas no RVfpga, tanto em simulação como, opcionalmente, em hardware na placa FPGA Nexys A7.

- **Secção 1** dá uma visão geral dos conteúdos do GSG, do sistema RVfpga, do software necessário e do hardware opcional, bem como dos conhecimentos prévios esperados.
- **Secção 2** é o Guia de Iniciação Rápida (*Quick Start Guide*), que descreve a instalação mínima de software necessária para o RVfpga e, em seguida, mostra como descarregar e executar um programa de exemplo simples no RVfpga.
- **Secções 3 e 4** fazer uma breve introdução à arquitetura do computador RISC-V, ao SoC RVfpga (semelhante à secção II.C do presente documento) e à organização dos

ficheiros Verilog e SystemVerilog que constituem o sistema RVfpga.

- **Secção 5** mostra como instalar todas as ferramentas de software necessárias para utilizar o RVfpga tanto em simulação como em hardware.
- **Secção 6** mostra como utilizar o PlatformIO para configurar o SoC RVfpga na placa FPGA Nexys A7 e descarregar e executar vários programas de exemplo no RVfpga.
- **Secções 7 e 8** mostram como simular o código-fonte RVfpga (Verilog e SystemVerilog) utilizando o Verilator e como simular o código RISC-V no simulador de conjunto de instruções (*Instruction Set Simulator* - ISS) no Whisper, respetivamente.
- **Apêndices:** O Guia de Introdução também inclui apêndices que mostram funcionalidades adicionais, tais como a forma de utilizar o RVfpga na linha de comandos em Linux e como instalar as ferramentas necessárias em máquinas Windows e macOS.

2. RESUMO DOS LABS RVfpga

Os Labs RVfpga, listados na Tabela 1, fornecem uma compreensão prática do hardware e software RISC-V. Antes de iniciar os Labs RVfpga, já deve ter completado o Guia de Introdução ao RVfpga. Os materiais do Labs RVfpga são fornecidos nas seguintes pastas:

- `[RVfpgaPath]/RVfpga/Labs` contém recursos para cada um dos 20 labs, incluindo um guia de instruções para cada laboratório. Estes recursos de laboratório estão contidos em cada uma das subpastas: *Lab01*, *Lab02*, etc.
- `[RVfpgaPath]/RVfpga/Labs/RVfpgaLabsSolutions` contém um subconjunto de soluções de exercícios para cada um dos 20 laboratórios RVfpga. Esta pasta deve ser removida antes de distribuir o pacote RVfpga aos alunos.

Tabela 1. Labs RVfpga

	#	Título
Parte 1	1	Programação em C
	2	Linguagem Assembly RISC-V
	3	Chamadas a funções
	4	Processamento de imagem: Projetos em C & Assembly
	5	Criação de um Projeto no Vivado
	6	Introdução às E/S
	7	Mostradores de 7-Segmentos
	8	Temporizadores
	9	E/S com Interrupções
	10	Barramentos série
Parte 2	11	Configuração e Organização do SweRV EH1. Monitorização do desempenho Referência SweRV EH1
	12	Instruções aritméticas/lógicas: <code>add</code>
	13	Instruções de Memória: Instruções <code>lw</code> e <code>sw</code>
	14	Conflitos Estruturais
	15	Conflitos de Dados
	16	Conflitos de Controlo. Instruções de salto: <code>beq</code> e o Preditor de Saltos
	17	Execução Superescalar
	18	Acrescentar novas funcionalidades ao Núcleo (Instruções, Contadores de Hardware)

19	Hierarquia da Memória: A Cache de Instruções (I\$)
20	I\$, ICCM, DCCM, e Avaliação do Desempenho

Os Labs são divididos em duas partes. A Parte 1 mostra como programar o RVfpga, construir o código-fonte no Vivado e estender o sistema RVfpga para incluir periféricos adicionais. A Parte 2 foca no núcleo RISC-V e no sistema de memória.

Especificamente, os Labs 1-10 (Parte 1) mostram como utilizar o SoC RISC-V e o conjunto de ferramentas (compiladores e simuladores), e mostram como adicionar periféricos ao SoC. Especificamente, o Lab 1 mostra como analisar o código fonte do SweRVofX SoC, criar um projeto RTL e criar o ficheiro de configuração (bitstream) para o RVfpga na placa Nexys A7 (Lab 1), como executar programas em RVfpgaNexys, RVfpgaSim e Whisper (Labs 2-5), e como modificar o sistema RVfpga para adicionar periféricos (Labs 6-10).

Os Labs 11-20 (Part 2) concentram-se na microarquitetura e hierarquia de memória; mostram como compreender o pipeline RISC-V e utilizar ou acrescentar características ao núcleo RISC-V, incluindo instruções adicionais, outros preditores de salto, e características de memória. O documento RVfpga_SweRVref é fornecido em `[RVfpgaPath]/RVfpga/Labs/Lab11` e oferece instruções adicionais sobre vários tópicos: Sigasi Studio, Configuração do processador SweRV EH1, Hierarquia de módulos do sistema RVfpga e os seus sinais mais relevantes, principais estruturas/tipos de agrupamento de bits de controlo, Instruções comprimidas RISC-V, e Benchmarks reais.

Estes laboratórios estão adaptados para cursos de dois semestres de licenciatura. Os laboratórios 11-20 também podem ser ensinados a alunos de mestrado. Antes de concluir este curso de RVfpga, os alunos devem compreender os fundamentos da concepção lógica, arquitetura de computadores, concepção de processadores, sistemas de entrada/saída e programação C/Assembly. Este material é abordado no livro didático *Digital Design & Computer Architecture: RISC-V Edition*, Harris & Harris, © Elsevier Outubro, 2021.

3. SOFTWARE E HARDWARE RVfpga

A Tabela 2 lista o software necessário e o hardware opcional necessário para utilizar nestes laboratórios. Todo o software é gratuito. A placa FPGA Nexys A7 (ou, equivalente, placa FPGA Nexys DDR) não é necessária para completar os laboratórios. Em vez disso, pode completar estes laboratórios usando o Whisper (Simulador do Conjunto de Instrução da Western Digital) e o Verilator (um simulador HDL de código aberto).

Tabela 2. Software necessário e hardware opcional

Software	
Vivado 2019.2 WebPACK*	https://www.xilinx.com/support/download/index.html/content/xilinx/en/downloadNav/vivado-design-tools/2019-2.html
VS Code	https://code.visualstudio.com/Download
PlatformIO	https://platformio.org/ (Instalado dentro do VSCode)
Verilator e GTKWave	https://github.com/verilator/verilator http://gtkwave.sourceforge.net/
Whisper (Simulador de Conjunto de Instruções RISC-V da Western Digital)	https://github.com/chipsalliance/SweRV-ISS (Instalado dentro do PlatformIO)
Conjunto de ferramentas RISC-V e OpenOCD	https://github.com/riscv/riscv-gnu-toolchain , https://github.com/riscv/riscv-openocd (Instalado dentro do PlatformIO)
Hardware	
Placa Nexys A7 FPGA *	https://store.digilentinc.com/nexys-a7-fpga-trainer-board-recommended-for-ece-curriculum/
Núcleo RISC-V e System-on-Chip (SoC)	

Software	
SweRV EH1 da Western Digital	https://github.com/chipsalliance/Cores-SweRV (incluído no pacote RVfpga)
SweRVolf	https://github.com/chipsalliance/Cores-SweRVolf (incluído no pacote RVfpga)

* opcional

4. VISÃO GERAL DO WORKSHOP RVfpga DE 1 DIA

Na pasta RVfpga estão incluídos dois documentos adicionais que podem ser utilizados pelos instrutores para os ajudar a organizar um curso RVfpga ou um Workshop RVfpga de 1 dia:

- *[RVfpgaPath]/RVfpga/Documents/RVfpga_Slides.pptx*: Estes diapositivos descrevem todo o pacote RVfpga: visão geral, instalação, Guia de Introdução, laboratórios, etc. O formador deve segui-los num workshop RVfpga.
- *[RVfpgaPath]/RVfpga/Documents/Workshop_Guide.docx*: Este documento é o guia que o instrutor utilizará e os participantes seguirão num Workshop RVfpga. Descreve os tópicos do workshop, as demonstrações e as atividades práticas.